

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-66854

(43) 公開日 平成11年(1999) 3月9日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

G 1 1 C 11/407

G 1 1 C 11/34

3 6 2 S

11/413

H 0 3 K 5/13

H 0 3 K 5/13

H 0 3 L 7/00

D

H 0 3 L 7/00

G 1 1 C 11/34

J

3 5 4 C

審査請求 有 請求項の数28 O L (全 51 頁)

(21) 出願番号 特願平9-297529

(71) 出願人 000004237

日本電気株式会社

(22) 出願日 平成9年(1997)10月29日

東京都港区芝五丁目7番1号

(31) 優先権主張番号 特願平9-152656

(72) 発明者 高井 康浩

(32) 優先日 平9(1997)6月10日

東京都港区芝五丁目7番1号 日本電気株式会社内

(33) 優先権主張国 日本 (J P)

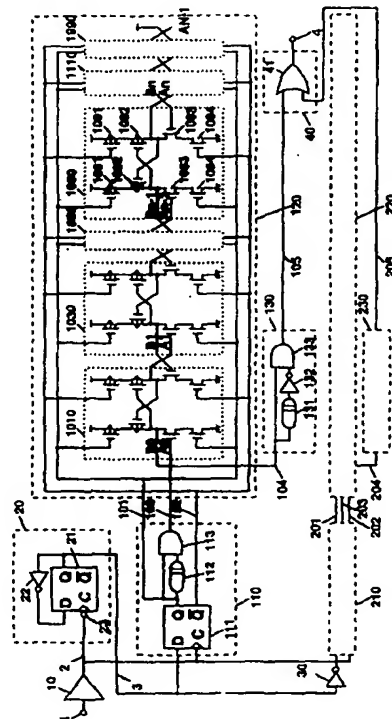
(74) 代理人 弁理士 高橋 詔男 (外5名)

(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【課題】 外部クロック信号との位相差がない内部クロック信号を、少ない周期で広い周波数範囲、電源電圧範囲にわたって生成する。

【解決手段】 制御回路110、遅延回路列120、及びクロック信号発生回路130から構成され、遅延回路列120を構成する遅延回路1090は、第一の制御信号101が高電位である第一の期間において、第一の節点A<sub>k-1</sub>が高電位になると、順に第二の節点B<sub>k-1</sub>が放電、第三の節点A<sub>k</sub>が充電、第四の節点B<sub>k</sub>が放電され、第一の制御信号101が低電位である第二の期間において、第四の節点B<sub>k</sub>が高電位になると、順に第三の節点A<sub>k</sub>が放電、第五の節点B<sub>k-1</sub>が充電、第一の節点A<sub>k-1</sub>が放電され、第三、第四の節点はそれぞれ隣接する遅延回路の第一、第二の節点に接続されている。



## 1

## 【特許請求の範囲】

【請求項 1】 制御回路、遅延回路列、及びクロック信号発生回路から構成される半導体集積回路であって、前記遅延回路列を構成する複数の第一の遅延回路は、各々第一、第二、第三、及び第四の節点を有し、

前記第三の節点は隣接する該遅延回路の前記第一の節点に接続され、

前記第四の節点は前記隣接する該遅延回路の前記第二の節点に接続され、

前記第一の制御信号が第一の電源に電気的に接続されている第一の期間では、前記第一の節点が前記第一の電源に電気的に接続されると、前記第二の節点が第二の電源に、前記第三の節点が前記第一の電源に、前記第四の節点が前記第二の電源に、順にそれぞれ電気的に接続され、

前記第一の制御信号が第二の電源に電気的に接続されている第二の期間では、前記第四の節点が前記第一の電源に電気的に接続されると、前記第三の節点が前記第二の電源に、前記第二の節点が前記第一の電源に、前記第一の節点が前記第二の電源に、順にそれぞれ電気的に接続されることを特徴とする半導体集積回路。

【請求項 2】 第二の制御信号は前記第一の制御信号と互いに逆相で、

前記第二の節点を前記第二の電源に電気的に接続する手段は、前記第一の節点及び第一の制御信号がゲートに入力される直列に接続された N 型 MOSFET であり、前記第二の節点を前記第一の電源に電気的に接続する手段は、前記第三の節点及び前記第一の制御信号がゲートに入力される直列に接続された P 型 MOSFET であり、

前記第三の節点を前記第一の電源に電気的に接続する手段は、前記第二の節点及び第二の制御信号がゲートに入力される直列に接続された P 型 MOSFET であり、前記第三の節点を前記第二の電源に電気的に接続する手段は、前記第四の節点及び前記第二の制御信号がゲートに入力される直列に接続された N 型 MOSFET であることを特徴とする請求項 1 記載の半導体集積回路。

【請求項 3】 第二の制御信号は前記第一の制御信号と互いに逆相で、

前記第二の節点を前記第二の電源に電気的に接続する手段は、前記第一の節点及び第一の制御信号がゲートに入力される直列に接続された P 型 MOSFET であり、前記第二の節点を前記第一の電源に電気的に接続する手段は、前記第三の節点及び前記第一の制御信号がゲートに入力される直列に接続された N 型 MOSFET であり、

前記第三の節点を前記第一の電源に電気的に接続する手段は、前記第二の節点及び第二の制御信号がゲートに入力される直列に接続された N 型 MOSFET であり、前記第三の節点を前記第二の電源に電気的に接続する手

## 2

段は、前記第四の節点及び前記第二の制御信号がゲートに入力される直列に接続された P 型 MOSFET であることを特徴とする請求項 1 記載の半導体集積回路。

【請求項 4】 前記制御回路は、前記第一の制御信号が前記第一の電源に電気的に接続されてから、あらかじめ遅延時間の設定された第二の遅延回路を介して該遅延回路列の入力信号を発生し、該入力信号は該遅延回路列を構成するいずれか 1 つの前記第一の遅延回路の前記第一の節点に接続されることを特徴とする請求項 1 乃至請求項 3 のいずれかに記載の半導体集積回路。

【請求項 5】 前記クロック信号発生回路は、該遅延回路列を構成するいずれか 1 つの前記第一の遅延回路の前記第二の節点を入力とし、該入力信号が前記第二の電源電位から前記第一の電源電位へ遷移したことを検知してパルス信号を発生することを特徴とする請求項 1 乃至請求項 4 のいずれかに記載の半導体集積回路。

【請求項 6】 前記遅延回路列は、前記第一の期間において、前記第一の節点が前記第一の電源に電気的に接続されてから、前記第三の節点が前記第一の電源に電気的に接続されるまでの時間が、

前記第二の期間において、前記第四の節点が前記第一の電源に電気的に接続されてから、前記第二の節点が前記第一の電源に電気的に接続されるまでの時間に等しくなるように、請求項 2 又は請求項 3 記載の MOSFET の電流能力が設定されたことを特徴とする請求項 2 乃至請求項 5 のいずれかに記載の半導体集積回路。

【請求項 7】 前記遅延回路列は、前記第一の期間において、前記第一の節点が前記第一の電源に電気的に接続されてから、前記第三の節点が前記第一の電源に電気的に接続されるまでの時間が、

前記第二の期間において、前記第四の節点が前記第一の電源に電気的に接続されてから、前記第二の節点が前記第一の電源に電気的に接続されるまでの時間の 2 倍に等しくなるように、請求項 2 又は請求項 3 記載の MOSFET の電流能力が設定されたことを特徴とする請求項 2 乃至請求項 5 のいずれかに記載の半導体集積回路。

【請求項 8】 前記遅延回路列は、前記第一の期間において、前記第一の節点が前記第一の電源に電気的に接続されてから、前記第三の節点が前記第一の電源に電気的に接続されるまでの時間が、

前記第二の期間において、前記第四の節点が前記第一の電源に電気的に接続されてから、前記第二の節点が前記第一の電源に電気的に接続されるまでの時間が整数：整数の比になるように、請求項 2 又は請求項 3 記載の MOSFET の電流能力が設定されたことを特徴とする請求項 2 乃至請求項 5 のいずれかに記載の半導体集積回路。

【請求項 9】 複数の遅延時間を複数の制御信号で選択可能な第三の遅延回路と、前記第三の遅延回路と等しい構成の第四の遅延回路とを有し、前記第三の遅延回路は前記遅延回路列の入力経路に直列に配置され、前記第四

## 3

の遅延回路は前記遅延回路列の出力経路に直列に配置され、前記第三の遅延回路と前記第四の遅延回路の遅延時間が等しくなるように構成されていることを特徴とする請求項 1 乃至請求項 8 のいずれかに記載の半導体集積回路。

【請求項 10】 前記第二の遅延回路の遅延時間は、電気信号で調整可能な構成になっており、該電気信号を発生するためのヒューズ回路を有することを特徴とする請求項 4 乃至請求項 9 のいずれかに記載の半導体集積回路。

【請求項 11】 前記第二の遅延回路の遅延時間は、電気信号で調整可能な構成になっており、該電気信号を発生するためのレジスタ回路を有し、外部から該レジスタの内容を設定する手段を有することを特徴とする請求項 4 乃至請求項 10 のいずれかに記載の半導体集積回路。

【請求項 12】 請求項 2 記載の直列接続された P 型 MOSFET の共通の節点を前記第一の電源に接続する P 型 MOSFET と、

請求項 2 記載の直列接続された N 型 MOSFET の共通の節点を前記第二の電源に接続する N 型 MOSFET とを有し、

前記 P 型 MOSFET のゲートは、前記遅延回路列を構成するいずれか 1 つの前記第一の遅延回路の前記第一、又は前記第三の節点であり、

前記 N 型 MOSFET のゲートは、該遅延回路列を構成するいずれか 1 つの前記第一の遅延回路の該遅延回路の前記第二、又は前記第四の節点であることを特徴とする請求項 2、及び請求項 4 乃至請求項 11 のいずれかに記載の半導体集積回路。

【請求項 13】 請求項 3 記載の直列接続された N 型 MOSFET の共通の節点を前記第一の電源に接続する N 型 MOSFET と、

請求項 2 記載の直列接続された P 型 MOSFET の共通の節点を前記第二の電源に接続する P 型 MOSFET とを有し、

前記 N 型 MOSFET のゲートは、前記遅延回路列を構成するいずれか 1 つの前記第一の遅延回路の前記第一、又は前記第三の節点であり、

前記 P 型 MOSFET のゲートは、前記遅延回路列を構成するいずれか 1 つの前記第一の遅延回路の前記第二、又は前記第四の節点であることを特徴とする請求項 3 乃至請求項 11 のいずれかに記載の半導体集積回路。

【請求項 14】 請求項 4 記載の制御回路において、前記第一の制御信号は、外部から入力されるクロック信号により論理レベルが交互に反転する極性信号を入力とするフリップフロップの出力であることを特徴とする請求項 4 乃至請求項 13 のいずれかに記載の半導体集積回路。

【請求項 15】 請求項 6 記載の遅延回路列を 2 組有し、おのおのの該遅延回路列の該極性信号が互いに逆相

## 4

であり、2 組の該遅延回路列の該クロック信号発生回路の出力信号の論理和をとったことを特徴とする請求項 9 乃至請求項 14 のいずれかに記載の半導体集積回路。

【請求項 16】 請求項 6 記載の遅延回路列を 2 組、請求項 7 記載の遅延回路列を 2 組有し、おのおのの組の該遅延回路列の該極性信号が互いに逆相で、4 組の該遅延回路列の該クロック信号発生回路の出力信号の論理和をとったことを特徴とする請求項 9 乃至請求項 14 のいずれかに記載の半導体集積回路。

10 【請求項 17】 請求項 6 記載の遅延回路列を 2 組、請求項 7 記載の遅延回路列を 2 組、および請求項 8 記載の遅延回路列を少なくとも 2 組有し、おのおのの組の該遅延回路列の該極性信号の位相が互いに異なり、該遅延回路列の該クロック信号発生回路の出力信号の論理和をとったことを特徴とする請求項 9 から 14 のいずれかに記載の半導体集積回路。

【請求項 18】 N を 2 以上の整数として、請求項 6 記載の遅延回路列を少なくとも  $2 \times N$  組有し、おのおのの該遅延回路列の該極性信号は、外部から入力されるクロック信号の N サイクル毎に交互に反転する、位相の互いに異なる  $2 \times N$  相の信号で、前記  $2 \times N$  組の遅延回路列の該クロック信号発生回路の出力信号の論理和をとったことを特徴とする請求項 9 から 14 のいずれかに記載の半導体集積回路。

20 【請求項 19】 N および M を自然数として、請求項 8 記載の遅延回路列を少なくとも  $N + M$  組有し、おのおのの該遅延回路列の該極性信号は、外部から入力されるクロック信号の N サイクルだけ前記第一の電源電位、M サイクルだけ前記第二の電源電位に交互に反転する、位相の互いに異なる  $N + M$  相の信号で、前記  $N + M$  組の該遅延回路列の該クロック信号発生回路の出力信号の論理和をとったことを特徴とする請求項 9 から 14 のいずれかに記載の半導体集積回路。

30 【請求項 20】 請求項 7 または 8 記載の遅延回路列は、前記第一の期間において、前記第一の節点が前記第一の電源に電氣的に接続されてから、前記第三の節点が前記第一の電源に電氣的に接続されるまでの時間、および前記第二の期間において、前記第四の節点が前記第一の電源に電氣的に接続されてから、前記第二の節点が前記第一の電源に電氣的に接続されるまでの時間が、電気信号でそれぞれ独立に調整可能な構成になっており、該電気信号を発生するためのヒューズ回路を有することを特徴とする請求項 7 乃至 17 の何れか、または請求項 19 記載の半導体集積回路。

40 【請求項 21】 請求項 20 記載の遅延時間を調整する手段は、請求項 2 または 3 記載の直列接続された P 型 MOSFET の共通の節点に、該電気信号がゲートに入力されたトランジスタを介して接続される容量素子、請求項 2 または 3 記載の直列接続された N 型 MOSFET の共通の節点に、該電気信号がゲートに入力されたトラン

## 5

ジスタを介して接続される容量素子、請求項2または3記載の直列接続されたP型またはN型MOSFETの共通の節点がソースおよびドレインに共通に接続され、該電気信号がゲートに接続されるMOSFETのいずれかであることを特徴とする請求項7乃至17の何れか、又は請求項19若しくは請求項20記載の半導体集積回路。

【請求項22】 請求項4記載の制御回路において、前記第一の制御信号は、外部から入力されるクロック信号により論理レベルが交互に反転する極性信号と、該遅延回路列を構成するいずれか1つの前記第一の遅延回路の前記第二の節点との論理積を入力とするフリップフロップの出力であることを特徴とする請求項4乃至13の何れか、または請求項15乃至21の何れかに記載の半導体集積回路。

【請求項23】 請求項14および22に記載のフリップフロップは、外部入力クロック信号の立ち上がりの遷移により入力をラッチすることを特徴とする請求項14乃至22のいずれかに記載の半導体集積回路。

【請求項24】 請求項14および22に記載のフリップフロップは、外部入力クロック信号の立ち下がりの遷移により入力をラッチすることを特徴とする請求項14乃至22の何れかに記載の半導体集積回路。

【請求項25】 請求項4記載の制御回路において、外部から入力されるクロック信号から前記第一の制御信号、および前記第二の制御信号までの伝搬時間は、電気信号で独立に調整可能な構成になっており、該電気信号を発生するためのヒューズ回路を有することを特徴とする請求項14乃至24の何れかに記載の半導体集積回路。

【請求項26】 請求項4記載の制御回路において、外部から入力されるクロック信号から前記第一の制御信号、および前記第二の制御信号までの伝搬時間は、電気信号で独立に調整可能な構成になっており、該電気信号を発生するためのレジスタ回路を有し、外部から該レジスタの内容を設定する手段を有することを特徴とする請求項14乃至25の何れかに記載の半導体集積回路。

【請求項27】 請求項6記載の半導体集積回路において、第五の遅延回路を介した該遅延回路列の出力信号と外部から入力されるクロック信号の一方を入力信号、他方を出力を保持する制御信号とするフリップフロップ回路を有し、前記第五の遅延回路の遅延時間は、電気信号で独立に調整可能な構成になっており、該電気信号を発生するためのレジスタ回路を有し、外部から該レジスタの内容を設定する手段を有することを特徴とする請求項6乃至26の何れかに記載の半導体集積回路。

【請求項28】 請求項6記載の半導体集積回路において、第五の遅延回路を介した該遅延回路列の出力信号と第六の遅延回路を介した外部から入力されるクロック信号の一方を入力信号、他方を出力を保持する制御信号と

## 6

するフリップフロップ回路を有し、

前記第六の遅延回路の遅延時間は、電気信号で独立に調整可能な構成になっており、該電気信号を発生するためのレジスタ回路を有し、外部から該レジスタの内容を設定する手段を有することを特徴とする請求項6乃至26の何れかに記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路に係り、特に同期信号（以下クロック信号と称する）の生成に使用される遅延回路を有する半導体集積回路に関する。

【0002】

【従来の技術】従来、クロック信号に同期して動作する半導体集積回路では、図15に示すように、外部クロック信号1を受信回路10で受信し、これを増幅回路40で増幅して、クロック信号制御の回路50で使用される内部クロック信号4を生成していた。図15は従来の半導体集積回路の概略構成を示すブロック図である。従って、受信回路10で受信し、増幅回路40で増幅する過程で、図16に示すように外部クロック信号1と内部クロック信号4の間の遅延時間 $T_D$ が生じていた。図16は従来の半導体集積回路で用いられるクロックのタイミングチャートである。

【0003】半導体集積回路は、製造技術の進歩に伴い、要求される回路規模が増大してきたため、この遅延時間 $T_D$ は増大する傾向にある。一方、半導体集積回路が搭載されるシステムの高速化により、半導体集積回路の動作するクロック周期も高速化してきた。この結果、クロック周期 $T_C$ に対し、遅延時間 $T_D$ が相対的に大きくなり、回路動作に障害が出てきた。

【0004】遅延時間の増大を対策するために、これまで位相同期ループ（フェーズロックループ、Phase-Locked Loop、以下、PLLと称する）が用いられてきた。図17は、PLLの基本的な回路構成を示すブロック図である。図17中の位相比較器60では、受信回路10と同等の遅延を有する遅延回路63を介して入力される内部クロック信号4と受信回路10の出力信号2との位相差から位相誤差信号64を出力する。位相誤差信号64はループフィルタ61を介して制御信号65となり、電圧制御発振器62に入力される。電圧制御発振器62では、制御信号65の電位に応じた周波数のクロック信号66を生成する。

【0005】クロック信号66は増幅回路40で増幅され、クロック信号制御の回路50で使用される内部クロック信号4になる。制御信号65は、外部クロック信号1と内部クロック信号4との位相差が無くなるように電圧制御発振器62を制御し、最終的に位相差が検知できなくなるまで電圧制御発振器62を制御する。従って、PLLでは、外部クロック信号に対する内部クロック信

7

号の遅延がなくなるため、クロック周期に対して遅延時間が相対的に大きくなり、回路動作に障害が出るという問題点を回避できた。

【0006】また、コンピュータシステムの高速化に伴い、半導体記憶装置のデータ転送速度がシステム性能を律速するようになってきた。半導体記憶装置のデータ転送速度を向上するために、図18に示すような、1クロック周期でデータの入出力を2回行う、いわゆるダブルデータレートの動作仕様が提案されている。図18はダブルデータレートの動作を行った場合のタイミングチャートである。

【0007】即ち、ダブルデータレート動作においては、命令信号Comとアドレス信号Addは、クロック信号CLKの立ち上がりで入力され、データ入出力信号はクロック信号の立ち上がり及び立ち上がりの中間のタイミングでデータDQが入出力される。この仕様では、例えばクロック周波数が66MHzの場合、データ信号の動作周波数はクロック信号と同じ66MHzで信号の伝送速度が同じでありながら、2倍のデータ転送速度、即ち毎秒132Mビットのデータ転送速度を達成できるという利点を有する。

【0008】そのため、高速SRAMや、シンクロナスDRAMII、シンクリンクDRAM等の次期高速DRAMに採用されつつある（日経マイクロデバイス、1997年2月号、p. 11など）。また、半導体記憶装置のみならず、グラフィクスコントローラLSIとシステムコントローラLSIとの間の高速データ転送を行うために規定されたAGP仕様でも採用されるなど、一般的に広がっている（「Accelerated Graphics portInterface Specification」, Revision 1.0, Intel Corporation, July 31, 1996）。

【0009】なお、ダブルデータレート仕様でクロック信号の立ち上がり立ち下りを基準にしない理由は、クロック周期が短くなるのに伴って、クロック周期に対する信号の遷移時間が無視できなくなってくると、立ち上がり波形と立ち下がり波形の非対称性が顕著になり、入力しきい電圧に対する高電位と低電位の期間が不均等になるため、サイクル時間が不均等になり、半導体集積回路の動作余裕が減少するからである。

【0010】ダブルデータレート仕様を実現するために、これまで図19に示すようなPLLに分周回路を組み込んだ構成が用いられてきた。図19はダブルデータレート使用を実現するために用いられるPLL回路の構成を示すブロック図であり、図17に示された部材と同一の部材には同一の符号が付してある。図19において、位相比較器60では、分周回路67と遅延回路68の伝搬時間の和が受信回路10の遅延と同等になるようにあらかじめ遅延時間が設定された遅延回路68を介して入力される内部クロック信号4と受信回路10の出力信号2との位相差から位相誤差信号64を出力する。

8

【0011】位相誤差信号64はループフィルタ61を介して制御信号65となり、電圧制御発振器62に入る。電圧制御発振器62では、制御信号65の電位に応じた周波数のクロック信号66を生成する。クロック信号66は増幅回路40で増幅され、クロック信号制御の回路50で使用される内部クロック信号4になる。内部クロック信号4は、分周回路67により分周され、1/2の周波数のクロック信号69となる。制御信号65は、分周されたクロック信号69と外部クロック信号1との周波数が同じになるように、電圧制御発振器62を制御する。

【0012】即ち、制御信号65は、内部クロック信号4の周波数が外部クロック信号1の周波数の2倍になり、外部クロック信号1と内部クロック信号4との位相差が無くなるように電圧制御発振器62を制御し、最終的に位相差が検知できなくなるまで電圧制御発振器62を制御する。従って、PLLと分周回路を組み合わせることにより、外部クロック信号に対して周波数が2倍で位相差が0°と180°の内部クロック信号が生成されるので、ダブルデータレート仕様を実現できる。

【0013】しかしながらPLLは、内部クロック信号1と外部クロック信号4との位相差がなくなるまでに数十周期以上の時間を要し、その結果、外部クロック信号4に対して位相差のない内部クロック信号1を所望のタイミングで用いるために常にPLLを動作させる必要があり、消費電力が増大するという欠点がある。半導体記憶装置、特にコンピュータシステムの主記憶として複数個が使用されるダイナミックRAMでは、システム全体の待機状態の消費電力に対する割合が大きくなるため、より深刻な問題である。さらに、電圧制御発振器62は電圧で発振動作が制御されており、電源電圧が低くなると制御電圧の幅が狭くなるため、制御周波数の精度が落ちるといった欠点がある。

【0014】これらの欠点を解決する方法として、これまでレジスタ制御DLL（Register-Controlled Delay-Locked Loop、以下、RDLLと称する）、及びSMD（Synchronous Mirror Delay、以下、SMDと称する）が、それぞれIEICE Trans. Eelectron., Vol. E79-C, No. 6, pp. 798-807、特開平8-237091で提案されている。

【0015】RDLLの回路を適用して遅延時間の増大を対策した従来例を図20に示す。図20は、RDLLの回路を適用して遅延時間の増大を対策した従来の回路の一例を示す図である。図20において、位相比較器60の一方の入力端には、増幅回路40と同等の遅延を有する遅延回路906が接続され、この遅延回路906には受信回路10と同等の遅延を有する遅延回路905が直列に接続されている。

【0016】位相誤差信号は遅延回路905及び遅延回路906を介して入力されるクロック信号911と受信回

路10の出力信号2との位相を比較し、位相が早い、又は遅いか、或いは同じかの3つの状態を示す位相誤差信号群921を出力する。制御回路904は、位相誤差信号群921の示す状態に応じて、制御信号922、923、924、925を出力する。

【0017】制御信号922、923、924、925はシフトレジスタ回路902に入力され、制御信号 $N_j$  ( $j=1, 2, \dots, N$ )を出力する。制御信号 $N_j$ は制御回路903にされ、遅延回路列901の遅延時間を制御する。即ち、制御回路903へされる入力信号2は、制御信号 $N_j$ で制御された端子 $P_j$ にされ、 $(N-j)$ 台の遅延回路を介して、クロック信号926を出力する。クロック信号926は増幅回路40で増幅され、内部クロック信号4を出力する。位相誤差信号群921は、外部クロック信号1と内部クロック信号4との位相差がなくなるようにシフトレジスタ回路902を制御し、最終的に位相差が検知できなくなるまでシフトレジスタ回路902を制御する。

【0018】次に、遅延回路列901、シフトレジスタ回路902、及び制御回路903の内部の動作を述べる。いま、シフトレジスタ回路902の内部節点の論理が、高電位をH、低電位をLとして、図20に示すようになっているものとする。制御信号 $N_j$ のうち $j=n$ の制御信号 $N_n$ のみが高電位なので、制御回路903の信号2は、制御信号 $N_n$ がされるNAND素子 $D S_n$ を介して遅延回路列901の端子 $P_n$ に伝搬し、 $(N-n)$ 台の遅延回路を介して、クロック信号926が出力される。

【0019】ここで、外部クロック信号1と内部クロック信号4との位相が合っている場合には、制御回路904は、制御信号922、923、924、925をすべて低電位とするのでシフトレジスタ回路902の状態は変化しない。外部クロック信号1に対して内部クロック信号4の位相が遅い場合には、制御回路904は制御信号925のみ高電位にして、シフトレジスタ回路902のフリップフロップ回路を反転し、制御信号 $N_n$ を低電位に、制御信号 $N_{n+1}$ を高電位に、即ちシフトレジスタ回路902の高電位の出力を図中右側にシフトさせる。尚、図中の右側とは、図20において $n$ の値が大きくなる方向であり、図中の左側とは、図20において $n$ の値が小さくなる方向である。例えば、NAND回路 $D S_n$ はNAND回路 $D S_{n-1}$ の右側に位置し、逆にNAND回路 $D S_{n-1}$ はNAND回路 $D S_n$ の左側に位置する。

【0020】このとき、遅延回路列901において、クロック信号2が伝搬する遅延回路は1台減って $(N-n-1)$ 台になるため、遅延回路1台分だけ早くクロック信号926が出力され、再び位相比較器60にされる。内部クロック信号4の位相がまだ遅い場合には、制御回路904は制御信号924のみ高電位にして、シフ

トレジスタ回路902の出力をさらに図中右側にシフトさせ、最終的に内部クロック信号4の位相の遅れがなくなるまで制御信号924、925を制御する。逆に、外部クロック信号1に対して内部クロック信号4の位相が早い場合には、制御信号922、923を制御して、シフトレジスタ回路902の出力を図中左側にシフトさせる。

【0021】シフトレジスタ回路902を設定して、内部クロック信号と外部クロック信号との位相差がなくなるまでには数十周期以上の時間を要する。しかし、外部クロック信号1が停止したときに、位相比較器60又は制御回路904を停止させればクロック信号2が遅延回路列901を伝搬する遅延回路の台数はシフトレジスタ回路902に保持される。

【0022】即ち、半導体集積回路に電源を投入しているときに、外部クロック信号1が安定な周波数でされている状態において予めシフトレジスタ回路902を設定しておくことで、内部クロック信号と外部クロック信号との位相差がなくなるまでに要する時間は、実効的に1周期になる。従って、常にRDLの回路を動作させる必要がなく、内部クロック信号を使用しないときには電源供給を停止できるため、待機状態での消費電力はなくなる。

【0023】次に、2組の遅延回路列を組み合わせたRDLの回路を適用して、ダブルデータレート仕様を実現した従来例を、図21を参照して説明する。図21は、2組の遅延回路列を組み合わせたRDLの回路を適用して、ダブルデータレート仕様を実現した従来例を示す回路図である。図21に示された回路は、図20に示したRDLの回路に対して、遅延回路列901と同じ遅延回路列907及び制御回路903と同じ制御回路908を更に有する点異なる。

【0024】図21中の位相比較器60の一方の端には、受信回路10と同等の遅延を有する2台の遅延回路905、909、及び増幅回路40と同等の遅延を有する2台の遅延回路906、910が各々直列に接続されている。この位相比較回路60は、遅延回路905、906、909、910を介したクロック信号927と受信回路10の出力信号2との位相を比較し、早い、又は遅いか、或いは同じかの3つの状態を示す位相誤差信号群921を出力する。

【0025】制御回路904は、位相誤差信号群921の状態に応じて、制御信号922、923、924、925を出力する。制御信号922、923、924、925はシフトレジスタ回路902にされ、制御信号 $N_j$ を出力する。制御信号 $N_j$ は制御回路903、908にされ、それぞれ遅延回路列901、907の遅延時間を制御する。即ち、制御回路903への信号2は、制御信号 $N_j$ で制御された端子にされ、遅延回路列901の $(N-j)$ 台の遅延回路を介して、



クロック信号 926 を出力する。

【0026】同様に、制御回路 908 への入力信号 926 は、制御信号  $N_j$  で制御された入力端子に入力され、遅延回路列 907 の  $(N-j)$  台の遅延回路を介して、遅延回路列 901 の伝搬時間と同じ時間だけ伝搬し、クロック信号 927 を出力する。クロック信号 926 は増幅回路 40 で増幅され、内部クロック信号 4 として出力される。位相誤差信号群 921 は、2 入力の位相差がなくなるようにシフトレジスタ回路 902 を制御する。

【0027】このとき、内部クロック信号 4 は、直列に接続された 2 列の遅延回路列 901、907 の中間の節点から増幅回路 40 を介して出力されるために、内部クロック信号 4 が出力されるタイミングは、外部クロック信号 1 の立ち上がりと立ち上りの中間になる。従って、位相誤差信号群 921 は、外部クロック信号 1 と内部クロック信号 4 との位相差がちょうど  $180^\circ$  になるようにシフトレジスタ回路 902 を制御することになる。従って、2 組の遅延回路列を組み合わせた RDLL の回路により、外部クロック信号との位相差が  $180^\circ$  の内部クロック信号 4 が生成されるので、前述の RDLL の回路と組み合わせでダブルデータレート仕様を実現できる。

【0028】続いて、SMD の回路を適用して遅延時間の増大を対策した従来例を図 22 に示す。図 22 は、SMD の回路を適用して遅延時間の増大を対策した従来例の回路を示す回路図である。初めに、外部クロック信号 1 が入力された受信回路 10 は、クロック信号 2 を出力する。これを第一の周期のクロック信号と称することにする。受信回路 10 の出力端には、受信回路 10 と同等の遅延を有する遅延回路 955 が接続され、この遅延回路 955 には増幅回路 40 と同等の遅延を有する遅延回路 956 が直列に接続されている。尚、図中の右側とは、図 22 において  $n$  の値が大きくなる方向であり、図中の左側とは、図 22 において  $n$  の値が小さくなる方向である。例えば、NAND 回路  $CN_n$  は NAND 回路  $CN_{n-1}$  の右側に位置し、逆に NAND 回路  $CN_{n-1}$  は NAND 回路  $CN_n$  の左側に位置する。

【0029】クロック信号 2 は、遅延回路 955 及び遅延回路 956 を介して、クロック信号 971 として出力される。このクロック信号 971 は、第一の遅延回路列 951 に入力され、図 22 中右側の方向にパルス信号が進行する。次のクロック周期で外部クロック信号 1、即ち第二の周期のクロック信号が入力されると、受信回路 10 からクロック信号 2 が出力され、制御回路 953 の制御端子 972 に入力される。このときに、第一の遅延回路列 951 を伝搬していた第一の周期のクロック信号は、制御回路 953 の制御端子 972、即ち制御回路 953 を構成する NAND 素子の一方の入力端が高電位になるため、第二の遅延回路列 952 に伝搬される。第二の遅延回路列 952 に伝搬されたクロック信号は、図中

の左側の方向に進行し、クロック信号 973 を出力する。クロック信号 973 は増幅回路 40 で増幅され、内部クロック信号 4 として出力される。

【0030】次に、遅延時間について説明する。受信回路 10 及び増幅回路 40 の伝搬時間をそれぞれ  $t_1$ 、 $t_2$  とすると、遅延回路 955、956 の伝搬時間もそれぞれ  $t_1$ 、 $t_2$  になる。第二の遅延回路列 952 をクロック信号が伝搬する時間は、第一の遅延回路列 951 をクロック信号が伝搬する時間に等しく、これを  $t_d$  とする。サイクル時間  $t_{CK}$  は、第一の周期と第二の周期のクロック信号の時間差であり、これは第一の周期のクロック信号が遅延回路 955、956 を経て第一の遅延回路列 951 を伝搬する時間に等しいので、 $t_{CK} = t_1 + t_2 + t_d$  である。

【0031】第二の周期のクロック信号が受信回路 10 に入力されてから、制御回路 953、第二の遅延回路列 952、及び増幅回路 40 を経て、内部クロック信号 4 として出力されるまでの時間は  $t_1 + t_d + t_2$  であり、これは前述の等式より  $t_{CK}$ 、即ちサイクル時間に他ならない。つまり、内部クロック信号 4 は、第三の周期の外部クロック信号と同じタイミングで出力されることになり、SMD の回路は、2 周期で内部クロック信号と外部クロック信号の位相差をなくすることができる。従って、常に SMD の回路を動作させる必要がなく、内部クロック信号を使用しないときには回路の動作を停止できるため、待機状態での消費電力はなくなる。

【0032】最後に、2 組の遅延回路列の SMD の回路を適用してダブルデータレート仕様を実現した従来例を図 23 に示す。図 23 は、2 組の遅延回路列の SMD の回路を適用してダブルデータレート仕様を実現した従来例の回路を示す回路図である。図 23 に示された回路は、図 22 に示された回路に対し、信号の伝達経路の任意の位置に入力を入れ得る第二の遅延回路列 957 の構成が、図 22 中の第二の遅延回路列 952 と異なる。

【0033】第二の遅延回路列 957 は、2 列の遅延回路列の組合せからなり、遅延回路列 951 の奇数番目の出力は、制御回路 953 を介して遅延回路列 957 のうちの 1 列と接続され、遅延回路列 951 の偶数番目の出力は、制御回路 953 を介して遅延回路列 957 のうちの他の 1 列と接続されている。遅延回路列 957 を構成する 2 列の遅延回路列は、それぞれ遅延回路列 951 の半分の素子で構成されているので、伝搬する時間は遅延回路列 951 又は図 22 中の遅延回路列 952 の  $1/2$  である。これら 2 列の遅延回路列の出力は、増幅回路 40 の OR 回路 43 で論理和が演算された後、内部クロック信号 4 として出力される。

【0034】次に遅延時間について説明する。受信回路 10 及び増幅回路 40 の伝搬時間をそれぞれ  $t_1$ 、 $t_2$  とすると、遅延回路 955、958 の伝搬時間は  $t_1$ 、遅延回路 956、959 の伝搬時間は  $t_2$  になる。第一

の遅延回路列951をクロック信号が伝搬する時間を $t_d$ とすると、第二の遅延回路列957をクロック信号が伝搬する時間は、第一の遅延回路列951をクロック信号が伝搬する時間 $t_d$ の $1/2$ になるため $d/2$ とする。

【0035】サイクル時間 $t_{CK}$ は、第一の周期と第二の周期のクロック信号の時間差であり、これは第一の周期のクロック信号が遅延回路955、956、958、959を経て第一の遅延回路列951を伝搬する時間に等しいので、 $t_{CK} = 2 \times t_1 + 2 \times t_2 + t_d$ である。第二の周期のクロック信号が受信回路10に入力されてから、制御回路953、第二の遅延回路列957、及び増幅回路40を経て、内部クロック信号4として出力されるまでの時間は $t_1 + t_d/2 + t_2$ で、これは前述の等式より $t_{CK}/2$ 、即ちサイクル時間の $1/2$ に他ならない。

【0036】つまり、内部クロック信号4が出力されるタイミングは、第二の周期の外部クロック信号1の立ち上がりと第三の周期の外部クロック信号1の立ち上がりの中間になる。従って、2組の遅延回路列を組み合わせたSMDの回路によって、外部クロック信号1に対する位相差が $180^\circ$ である内部クロック信号4が生成されるので、前述のSMDの回路と組み合わせてダブルデータレート仕様を実現できる。

【0037】以上のように、RDLLやSMDでは、遅延時間の増大を対策し、ダブルデータレート仕様を実現できる。内部クロック信号と外部クロック信号の位相差がなくなるまでに要する時間は、それぞれ1周期と2周期なので、常に回路を動作させる必要がなく、内部クロック信号4を使用しないときには回路の動作を停止できるため、待機状態での消費電力はなくなる。さらに、PLLのように電圧で発振を制御する電圧制御発振器がないため、電源電圧によらず、制御周波数の精度を保つことが可能である。

【0038】

【発明が解決しようとする課題】以上のように、従来は、上記RDLLやSMDを用いた半導体集積回路により、低消費電力で遅延時間の増大を対策し、またダブルデータレート仕様を実現できた。しかしながら、RDLLやSMDには、今後さらに要求される高速化に対して、サイクル時間によって内部クロック信号の生成タイミングがばらつくことに起因して、いっそう狭くなるデータ入出力のウィンドウ時間に対して動作余裕が低下するという課題がある。

【0039】半導体集積回路において、入出力信号のタイミングはクロック入力信号を基準に規定される。即ち、クロック入力信号CLKでデータ入力信号DQをラッチするにあたり、図18(a)に示したように、クロック入力信号の前後にデータ入力信号を保持しなければならない時間、即ち入力セットアップ時間 $t_s$ と入力ホ

ールド時間 $t_{h1}$ が規定される。

【0040】また、データを出力するにあたり、図18(b)に示したように、データ出力信号が確定するまでの時間、即ちアクセス時間 $t_a$ 、及び前のデータ出力信号を保持している時間、即ち出力ホールド時間 $t_{h2}$ が規定される。RDLLの回路の分解能は、シフトレジスタで設定できる最小単位である遅延回路1台、即ちゲート2段である。また、SMDの回路の分解能は、第二の遅延回路列の入力端子の間隔である遅延回路1台、即ちゲート2段である。

【0041】従って、外部クロック信号1に対する内部クロック信号4のタイミングは、サイクル時間が変動すると分解能、即ちゲート2段を伝搬する時間の範囲で変動する。入力セットアップ時間 $t_s$ 、入力ホールド時間 $t_{h1}$ 、アクセス時間 $t_a$ 、出力ホールド時間 $t_{h2}$ の入出力タイミング規定は、いずれも外部クロック信号のタイミングが基準になるため、内部クロック信号のタイミングが外部クロック信号に対して変動すると、規定に対する動作余裕を低下させる。

【0042】入出力のタイミングは、外部データ入出力信号間に寄生する容量やインダクタンス、製造プロセスによってもばらつくため、内部クロック信号4の変動によるタイミング余裕の低下により、製造プロセスの余裕が制限され、ひいては高速化を阻害する。また、RDLL、SMDの回路は共に、遅延回路列はNAND素子とインバータとが交互に直列に接続された構成である。従って、特にP型MOSFETが並列に、N型MOSFETが直列に接続されたNAND素子に関して、しきい値や立ち上がり波形と立ち下がり波形が不均等になる両方で遷移時間が不均等になり、遅延回路列のパルス信号の伝搬に伴ってこれが累積され、伝搬するパルス信号の波形がくずれ、最悪の場合にはパルス信号の消失を招くという問題がある。

【0043】。本発明は、上記事情に鑑みてなされたものであり、外部クロックと内部クロックとの位相差がない内部クロック信号を広い動作周波数範囲にわたって低消費電力で、且つ安定して供給することができる半導体集積回路を提供することを目的とする。また、本発明は、外部クロックと内部クロックとの位相差がない内部クロック信号を広い電源電圧範囲にわたって低消費電力で、且つ安定して供給することができる半導体集積回路を提供することを目的とする。

【0044】

【課題を解決するための手段】上記課題を解決するために、本発明は、制御回路、遅延回路列、及びクロック信号発生回路から構成される半導体集積回路であって、前記遅延回路列を構成する複数の第一の遅延回路は、各々第一、第二、第三、及び第四の節点を有し、前記第三の節点は隣接する該遅延回路の前記第一の節点に接続され、前記第四の節点は前記隣接する該遅延回路の前記第

10

20

30

40

50



二の節点に接続され、前記第一の制御信号が第一の電源に電気的に接続されている第一の期間では、前記第一の節点が前記第一の電源に電気的に接続されると、前記第二の節点が第二の電源に、前記第三の節点が前記第一の電源に、前記第四の節点が前記第二の電源に、順にそれぞれ電気的に接続され、前記第一の制御信号が第二の電源に電気的に接続されている第二の期間では、前記第四の節点が前記第一の電源に電気的に接続されると、前記第三の節点が前記第二の電源に、前記第二の節点が前記第一の電源に、前記第一の節点が前記第二の電源に、順にそれぞれ電気的に接続されることを特徴とする。また、本発明によれば、第二の制御信号は前記第一の制御信号と互いに逆相で、前記第二の節点を前記第二の電源に電気的に接続する手段は、前記第一の節点及び第一の制御信号がゲートに入力される直列に接続されたN型MOSFETであり、前記第二の節点を前記第一の電源に電気的に接続する手段は、前記第三の節点及び前記第一の制御信号がゲートに入力される直列に接続されたP型MOSFETであり、前記第三の節点を前記第一の電源に電気的に接続する手段は、前記第二の節点及び第二の制御信号がゲートに入力される直列に接続されたP型MOSFETであり、前記第三の節点を前記第二の電源に電気的に接続する手段は、前記第四の節点及び前記第二の制御信号がゲートに入力される直列に接続されたN型MOSFETであることを特徴とする。また、本発明は、第二の制御信号は前記第一の制御信号と互いに逆相で、前記第二の節点を前記第二の電源に電気的に接続する手段は、前記第一の節点及び第一の制御信号がゲートに入力される直列に接続されたP型MOSFETであり、前記第二の節点を前記第一の電源に電気的に接続する手段は、前記第三の節点及び前記第一の制御信号がゲートに入力される直列に接続されたN型MOSFETであり、前記第三の節点を前記第一の電源に電気的に接続する手段は、前記第二の節点及び第二の制御信号がゲートに入力される直列に接続されたN型MOSFETであり、前記第三の節点を前記第二の電源に電気的に接続する手段は、前記第四の節点及び前記第二の制御信号がゲートに入力される直列に接続されたP型MOSFETであることを特徴とする。また、本発明は、前記制御回路は、前記第一の制御信号が前記第一の電源に電気的に接続されてから、あらかじめ遅延時間の設定された第二の遅延回路を介して該遅延回路列の入力信号を発生し、該入力信号は該遅延回路列を構成するいずれか1つの前記第一の遅延回路の前記第一の節点に接続されることを特徴とする。また、本発明は、前記クロック信号発生回路は、該遅延回路列を構成するいずれか1つの前記第一の遅延回路の前記第二の節点を入力とし、該入力信号が前記第二の電源電位から前記第一の電源電位へ遷移したことを検知してパルス信号を発生することを特徴とする。また、本発明は、前記遅延回路列は、前記第一の期間に

において、前記第一の節点が前記第一の電源に電気的に接続されてから、前記第三の節点が前記第一の電源に電気的に接続されるまでの時間が、前記第二の期間において、前記第四の節点が前記第一の電源に電気的に接続されてから、前記第二の節点が前記第一の電源に電気的に接続されるまでの時間に等しくなるように、前記MOSFETの電流能力が設定されたことを特徴とする。また、本発明は、前記遅延回路列は、前記第一の期間において、前記第一の節点が前記第一の電源に電気的に接続されてから、前記第三の節点が前記第一の電源に電気的に接続されるまでの時間が、前記第二の期間において、前記第四の節点が前記第一の電源に電気的に接続されてから、前記第二の節点が前記第一の電源に電気的に接続されるまでの時間の2倍に等しくなるように、前記MOSFETの電流能力が設定されたことを特徴とする。また、本発明は、前記遅延回路列は、前記第一の期間において、前記第一の節点が前記第一の電源に電気的に接続されてから、前記第三の節点が前記第一の電源に電気的に接続されるまでの時間が、前記第二の期間において、前記第四の節点が前記第一の電源に電気的に接続されてから、前記第二の節点が前記第一の電源に電気的に接続されるまでの時間が整数：整数の比になるように、前記MOSFETの電流能力が設定されたことを特徴とする。また、本発明は、複数の遅延時間を複数の制御信号で選択可能な第三の遅延回路と、前記第三の遅延回路と等しい構成の第四の遅延回路とを有し、前記第三の遅延回路は前記遅延回路列の入力経路に直列に配置され、前記第四の遅延回路は前記遅延回路列の出力経路に直列に配置され、前記第三の遅延回路と前記第四の遅延回路の遅延時間が等しくなるように構成されていることを特徴とする。また、本発明は、前記第二の遅延回路の遅延時間は、電気信号で調整可能な構成になっており、該電気信号を発生するためのヒューズ回路を有することを特徴とする。また、本発明は、前記第二の遅延回路の遅延時間は、電気信号で調整可能な構成になっており、該電気信号を発生するためのレジスタ回路を有し、外部から該レジスタの内容を設定する手段を有することを特徴とする。また、本発明は、前記直列接続されたP型MOSFETの共通の節点を前記第一の電源に接続するP型MOSFETと、前記直列接続されたN型MOSFETの共通の節点を前記第二の電源に接続するN型MOSFETとを有し、前記P型MOSFETのゲートは、前記遅延回路列を構成するいずれか1つの前記第一の遅延回路の前記第一、又は前記第三の節点であり、前記N型MOSFETのゲートは、該遅延回路列を構成するいずれか1つの前記第一の遅延回路の該遅延回路の前記第二、又は前記第四の節点であることを特徴とする。また、本発明は、前記直列接続されたN型MOSFETの共通の節点を前記第一の電源に接続するN型MOSFETと、前記直列接続されたP型MOSFETの共通の節点を前記第

17

二の電源に接続するP型MOSFETとを有し、前記N型MOSFETのゲートは、前記遅延回路列を構成するいずれか1つの前記第一の遅延回路の前記第一、又は前記第三の節点であり、前記P型MOSFETのゲートは、前記遅延回路列を構成するいずれか1つの前記第一の遅延回路の前記第二、又は前記第四の節点であることを特徴とする。また、本発明は、前記制御回路において、前記第一の制御信号は、外部から入力されるクロック信号により論理レベルが交互に反転する極性信号を入力とするフリップフロップの出力であることを特徴とする。また、本発明は、前記遅延回路列を2組有し、おのこの遅延回路列の該極性信号が互いに逆相であり、2組の該遅延回路列の該クロック信号発生回路の出力信号の論理和をとったことを特徴とする。また、本発明は、前記遅延回路列を2組、前記遅延回路列を2組有し、おのこの組の該遅延回路列の該極性信号が互いに逆相で、4組の該遅延回路列の該クロック信号発生回路の出力信号の論理和をとったことを特徴とする。また、本発明は、前記遅延回路列を2組、前記遅延回路列を2組、および前記遅延回路列を少なくとも2組有し、おのこの組の該遅延回路列の該極性信号の位相が互いに異なり、該遅延回路列の該クロック信号発生回路の出力信号の論理和をとったことを特徴とする。また、本発明は、Nを2以上の整数として、前記遅延回路列を少なくとも $2 \times N$ 組有し、おのこの遅延回路列の該極性信号は、外部から入力されるクロック信号のNサイクル毎に交互に反転する、位相の互いに異なる $2 \times N$ 相の信号で、前記 $2 \times N$ 組の遅延回路列の該クロック信号発生回路の出力信号の論理和をとったことを特徴とする。また、本発明は、NおよびMを自然数として、前記遅延回路列を少なくとも $N + M$ 組有し、おのこの遅延回路列の該極性信号は、外部から入力されるクロック信号のNサイクルだけ前記第一の電源電位、Mサイクルだけ前記第二の電源電位に交互に反転する、位相の互いに異なる $N + M$ 相の信号で、前記 $N + M$ 組の該遅延回路列の該クロック信号発生回路の出力信号の論理和をとったことを特徴とする。また、本発明は、前記遅延回路列は、前記第一の期間において、前記第一の節点が前記第一の電源に電気的に接続されてから、前記第三の節点が前記第一の電源に電気的に接続されるまでの時間、および前記第二の期間において、前記第四の節点が前記第一の電源に電気的に接続されてから、前記第二の節点が前記第一の電源に電気的に接続されるまでの時間が、電気信号でそれぞれ独立に調整可能な構成になっており、該電気信号を発生するためのヒューズ回路を有することを特徴とする。また、本発明は、前記遅延時間を調整する手段は、前記直列接続されたP型MOSFETの共通の節点に、該電気信号がゲートに入力されたトランジスタを介して接続される容量素子、前記直列接続されたN型MOSFETの共通の節点に、該電気信号がゲートに入力さ

18

れたトランジスタを介して接続される容量素子、前記直列接続されたP型またはN型MOSFETの共通の節点がソースおよびドレインに共通に接続され、該電気信号がゲートに接続されるMOSFETのいずれかであることを特徴とする。また、本発明は、前記制御回路において、前記第一の制御信号は、外部から入力されるクロック信号により論理レベルが交互に反転する極性信号と、該遅延回路列を構成するいずれか1つの前記第一の遅延回路の前記第二の節点との論理積を入力とするフリップフロップの出力であることを特徴とする。また、本発明は、前記フリップフロップは、外部入力クロック信号の立ち上がりの遷移により入力をラッチすることを特徴とする。また、本発明は、前記フリップフロップは、外部入力クロック信号の立ち下がりの遷移により入力をラッチすることを特徴とする。また、本発明は、前記制御回路において、外部から入力されるクロック信号から前記第一の制御信号、および前記第二の制御信号までの伝搬時間は、電気信号で独立に調整可能な構成になっており、該電気信号を発生するためのヒューズ回路を有することを特徴とする。また、本発明は、前記制御回路において、外部から入力されるクロック信号から前記第一の制御信号、および前記第二の制御信号までの伝搬時間は、電気信号で独立に調整可能な構成になっており、該電気信号を発生するためのレジスタ回路を有し、外部から該レジスタの内容を設定する手段を有することを特徴とする。また、本発明は、前記半導体集積回路において、第五の遅延回路を介した該遅延回路列の出力信号と外部から入力されるクロック信号の一方を入力信号、他方を出力を保持する制御信号とするフリップフロップ回路を有し、前記第五の遅延回路の遅延時間は、電気信号で独立に調整可能な構成になっており、該電気信号を発生するためのレジスタ回路を有し、外部から該レジスタの内容を設定する手段を有することを特徴とする。また、本発明は、前記半導体集積回路において、第五の遅延回路を介した該遅延回路列の出力信号と第六の遅延回路を介した外部から入力されるクロック信号の一方を入力信号、他方を出力を保持する制御信号とするフリップフロップ回路を有し、前記第六の遅延回路の遅延時間は、電気信号で独立に調整可能な構成になっており、該電気信号を発生するためのレジスタ回路を有し、外部から該レジスタの内容を設定する手段を有することを特徴とする。

#### 【0045】

【発明の実施の形態】以下、図面を参照して本発明の実施形態による半導体集積回路について詳細に説明する。

〔第1実施形態〕まず、本発明の第1実施形態による半導体集積回路について、図1、図2、図3、及び図4を参照して説明する。図1は本発明の第1実施形態による半導体集積回路の回路構成を示す回路図である。図2～図4は、本実施形態による半導体集積回路の動作を示す

タイミングチャートである。

【0046】図1を参照すると、本実施形態による半導体集積回路は、受信回路10、極性制御回路20、2組の制御回路110、210、遅延回路1010、1030、1050、1090、1110、1990等で構成される2組の遅延回路列120、220、2組のパルス生成回路130、230、及び増幅回路40で構成される。

【0047】上記受信回路10は、外部クロック信号1を受信し、内部電源電位に変換された内部信号2を出力する。極性制御回路20は、フリップフロップ21及びインバータ22、23からなり、内部信号2を受けて、クロック信号入力により論理レベルが交互に反転する極性制御信号3を出力する。制御回路110は、フリップフロップ111、遅延回路112、及びAND回路113から構成される。第一の制御信号101及び第二の制御信号102は、極性制御信号3を受けて、外部クロック信号1の立上りでトグルする互いに逆相の信号である。遅延回路列120の入力信号103は、制御信号101の立ち上がりに対してのみ、遅延回路112の遅延時間を介して立ち上がる。

【0048】極性制御回路20を構成するフリップフロップ21は、制御回路110のフリップフロップ111の入力とのスキューずれによって誤動作が生じないために、内部信号2をインバータ23で反転させた信号をクロック信号入力としている。遅延回路列120を構成する遅延回路1090は、2組の直列に接続された2個のP型MOSFET1081、1082及び1091、1092、2組の直列に接続された2個のN型MOSFET1083、1084及び1093、1094で構成され、第一、第二、第三、及び第四の節点 $A_{n-1}$ 、 $B_{n-1}$ 、 $A_n$ 、 $B_n$ を人出力節点とする。

【0049】電源及び接地線をソースに接続したトランジスタ1081、1084のゲートには第一の制御信号101が接続され、トランジスタ1091、1094のゲートには第二の制御信号102が接続される。第一の節点 $A_{n-1}$ がゲートに接続されたN型MOSFET1083のドレインには、第二の節点 $B_{n-1}$ が接続される。第二の節点 $B_{n-1}$ がゲートに接続されたP型MOSFET1092のドレインには第三の節点 $A_n$ が接続される。また、第四の節点 $B_n$ がゲートに接続されたN型MOSFET1093のドレインには、第三の節点 $A_n$ が接続される。第三の節点 $A_n$ がゲートに接続されたP型MOSFET1082のドレインには、第二の節点 $B_{n-1}$ が接続される。

【0050】次に動作を説明する。第一の制御信号101が高電位である第一の期間においては、第一の節点 $A_{n-1}$ が高電位になると、直列に接続された2個のN型MOSFET1083、1084はゲートが共に高電位なので導通し、第二の節点 $B_{n-1}$ は低電位になる。第

二の制御信号102は低電位なので、第二の節点 $B_{n-1}$ が低電位になると、直列に接続された2個のP型MOSFET1091、1092はゲートが共に低電位なので導通し、第三の節点 $A_n$ は高電位になる。

【0051】また、第一の制御信号101が低電位である第二の期間においては、第二の制御信号102は高電位なので、第四の節点 $B_n$ が高電位になると、直列に接続された2個のN型MOSFET1093、1094はゲートが共に高電位なので導通し、第三の節点 $A_n$ は低電位になる。第三の節点 $A_n$ が低電位になると、直列に接続された2個のP型MOSFET1081、1082はゲートが共に低電位なので導通し、第二の節点 $B_{n-1}$ は高電位になる。

【0052】次に、制御回路110、遅延回路列120、及びパルス生成回路130の動作を図3を参照して説明する。図3は、制御回路110、遅延回路列120、及びパルス生成回路130の動作を説明するためのタイミングチャートである。時刻5nsにおいてクロック信号2が立ち上がると、第一の制御信号101が高電位となり、第二の制御信号102が低電位となる（第一の期間）。遅延回路112を介して遅延回路列120の入力信号103、即ち節点A0が高電位になると、前述のように節点B0が放電され、次いで節点A1が充電される。

【0053】以下順に、第一の期間には節点 $A_k$  ( $k=0, 1, 2, \dots$ )は充電、節点 $B_k$ は放電されながら、図1の回路図中の右方向にエッジ信号が進行する。尚、図中の右方向とは、値 $k$ が大きくなる方向であり、図中の左方向とは、値 $k$ が小さくなる方向である。例えば、節点 $A_k$ は節点 $A_{k-1}$ の右方向に位置し、逆に節点 $A_{k-1}$ は節点 $A_k$ の左方向に位置する。

【0054】時刻15nsにおいて次のクロック信号2が立ち上がり、第一の制御信号101が低電位、第二の制御信号102が高電位に反転したとき、エッジ信号は節点B8まで伝搬し、節点B8は放電されている途中である。このとき、節点A9を充電するはずのP型MOSFETは、ゲートに接続された第一の制御信号102が高電位になって遮断されるために節点A9は充電されない。

【0055】放電される途中だった節点B8は、節点A9が低電位のまま第一の制御信号101が低電位になるので、節点B8を充電するP型MOSFETが導通するために充電され、つづいて節点A8が放電される。以下、第二の期間には節点 $A_k$ は放電、節点 $B_k$ は充電されながら、第一の期間と同じ経路を、図1の回路図中の左方向にエッジ信号が進行し、節点B0、即ち遅延回路列120の出力信号104が高電位となる。パルス生成回路130は、遅延回路131、インバータ132、及びAND回路133から構成され、入力信号104の立ち上がりを検出して、第二の期間のみ、即ち2サイクル

に 1 回、ワンショットパルス信号 105 を出力する。

【0056】次に、本実施形態の全体の動作波形を図 2 を参照して説明する。図 2 は本実施形態の全体の動作を説明するためのタイミングチャートである。制御回路 210、遅延回路列 220、1 パルス生成回路 230 の構成は、それぞれ制御回路 110、遅延回路列 120、パルス生成回路 130 と等しく、極性制御信号 3 をインバータ 30 で反転して入力することで、互いに逆相に動作させる。例えば、図 2 に示されるように、制御回路 110 から出力される第一の制御信号 101 と制御回路 210 から出力される第 1 の制御信号 201 とは互いに逆相である。パルス生成回路 130、230 の出力信号 105、205 は、増幅回路 40 の OR 回路 41 により論理和が演算され、内部クロック信号 4 として毎サイクル生成される。

【0057】次に、遅延時間について、図 2 を参照して説明する。第一の期間と第二の期間において、信号は同一の経路を逆方向に伝搬する。遅延回路列を構成する各節点の寄生容量は等しく、かつ遅延回路列を構成する P 型 MOSFET 及び N 型 MOSFET の能力はそれぞれ等しいので、第一の期間に節点 B0 が立ち下がってから節点 B8 が立ち下がるまでの伝搬時間と、第二の期間に節点 B8 が立ち上がってから節点 B0 が立ち上がるまでの伝搬時間は等しい。即ち、第一の期間に遅延回路列 120 を伝搬する時間と、第二の期間に遅延回路列 120 を伝搬する時間は等しい。

【0058】外部クロック信号 1 が受信回路 10 へ入力されから、制御回路 110 から遅延回路制御信号 101 が出力されるまでの時間、即ち受信回路 10 と制御回路 110 の伝搬時間を  $t_1$ 、遅延回路列出力信号 104 がパルス生成回路 130 へ入力されてから内部クロック信号 4 が増幅回路 40 から出力されるまでの時間、即ちパルス生成回路 130 及び増幅回路 40 の伝搬時間を  $t_2$ 、第一の期間及び第二の期間において遅延回路列 120 を伝搬する時間を  $t_d$  とする。

【0059】遅延回路 112 の遅延時間は、遅延回路 112 及び AND 回路 113 の伝搬時間の和が  $t_1 + t_2$  となるように、あらかじめ設定する。遅延回路列 120 の第一の制御信号 101 が高電位である期間はサイクル時間  $t_{CK}$  に等しく、これは遅延回路制御信号 101 が立ち上がってから、遅延回路 112、AND 回路 113 を経て第一の期間に遅延回路列 120 を伝搬する時間に等しいので、 $t_{CK} = t_1 + t_2 + t_d$  である。

【0060】第二の期間に、外部クロック信号 1 が受信回路 10 へ入力されてから、遅延回路制御信号 101 が立ち下がり、遅延回路列 120、パルス生成回路 130、及び増幅回路 40 を経て、内部クロック信号 4 を出力するまでの時間は  $t_1 + t_d + t_2$  で、これは前述の等式より  $t_{CK}$ 、即ちサイクル時間に他ならない。即ち、内部クロック信号 4 は、第三の期間の外部クロック

信号と同じタイミングで出力されることになる。従って、本実施形態では、2 周期で内部クロック信号と外部クロック信号の位相差をなくすることができる。

【0061】更に、クロック周期がわずかに変動した場合の遅延回路列 120 の遅延時間について、節点 A8、B8 の詳細な動作波形を示した図 4 を参照して説明する。図 4 は、クロック周期がわずかに変動した場合の遅延回路列 120 の遅延時間を説明するためのタイミングチャートである。図 4 において、第一の期間から第二の期間に切り替わるとき、節点 B8 は中間電位まで放電されてから再び充電される。クロック周期がわずかに長くなると、第一の期間において遅延回路列を伝搬する時間が長くなり、節点 B8 で放電される電荷量が増加する。そのため、第二の期間で節点 B8 の充電すべき電荷量も増加するため、節点 B8 の充電時間、即ち、第二の期間に遅延回路列 120 を伝搬する時間も増加する。

【0062】従って、クロック信号 105 の生成タイミングも遅れるため、次のクロック周期の外部クロック信号と同期した信号が得られる。即ち、本実施形態のクロック周期の分解能はゲート 1 段以下で、電荷量と充放電時間が線形性が保たれる範囲では、サイクル時間が変動しても、外部クロック信号に対する内部クロック信号の位相差は変動しないことになる。

【0063】なお、対をなす P 型 MOSFET 同士の電流能力と寄生容量が等しく、対をなす N 型 MOSFET も同様である、第一の期間の節点 A<sub>k</sub> の充電時間は第二の期間の節点 B<sub>k</sub> の充電時間と完全に相殺され、また第一の期間の節点 B<sub>k</sub> の放電時間は第二の期間の節点 A<sub>k</sub> の放電時間と完全に相殺される。即ち、図 3 の場合には、第一の期間及び第二の期間における節点 B0 から節点 A8 までの伝搬時間は相殺され、遅延回路列の伝搬に伴って第一の期間と第二の期間の伝搬時間の差が累積されることはない。

【0064】サイクル時間の変動によるタイミングのばらつきは、節点 B8 の充放電の動作にのみ起因し、最大でもゲート 1 段以下になる。従って、第一の期間に遅延回路列 120 を伝搬する時間と、第二の期間に遅延回路列 120 を伝搬する時間はゲート 1 段以下の精度で等しく、即ち、内部クロック信号と外部クロック信号の位相差はゲート 1 段以下である。

【0065】以上説明したように、本実施形態によれば、外部クロック信号と遅延のない内部クロック信号が、わずか 2 周期で確実に得ることが可能であり、常に回路を動作させる必要がなく、内部クロック信号を使用しないときには停止できるため、待機状態での消費電力はなくなる。しかも、その分解能はゲート 1 段以下の精度である。さらに、PLL のように電圧で発振を制御する電圧制御発振器がないため、電源電圧によらず、制御周波数の精度を保つことが可能である。また、遅延回路列を構成する遅延回路は、直列に接続された MOSFET

Tのみで構成されるため、しきい値や立ち上がり立ち下りの波形が不均等になることはなく、伝搬する信号の波形がくずれたり、信号の消失を招く可能性はない。

【0066】〔第2実施形態〕次に、本発明の第2実施形態による半導体集積回路について、図5、図6、及び図7を参照して詳細に説明する。図5は本発明の第2実施形態による半導体集積回路の回路構成を示す回路図である。図6、図7は、本実施形態による半導体集積回路の動作を示すタイミングチャートである。

【0067】図5に示すように、本実施形態において、図1に示された第1実施形態による半導体集積回路に、遅延回路3010、3030、3090、3110、3990などで構成される2組の遅延回路列320、420、2組の制御回路310、410、2組のパルス生成回路330、430を追加して構成され、増幅回路40の構成が異なる。制御回路310及びパルス生成回路330の構成と動作は、それぞれ図1中の制御回路110及びパルス生成回路130のそれとほぼ同じであるが、遅延回路312などの遅延時間が遅延回路112と異なる。

【0068】遅延回路列320を構成する遅延回路3090は、2組の直列に接続された2個のP型MOSFET3081、3082及び3091、3092、2組の直列に接続された2個のN型MOSFET3083、3084及び3093、3094が、図1中の遅延回路列120を構成する遅延回路1090と同じであるが、P型MOSFET3081、3082とそれぞれ並列に接続されたP型MOSFET3085、3086、N型MOSFET3093、3094とそれぞれ並列に接続されたN型MOSFET3097、3098、P型MOSFET3091、3092とゲートとドレインがそれぞれ共通に接続されたP型MOSFET3095、3096、N型MOSFET3083、3084とゲートとドレインがそれぞれ共通に接続されたN型MOSFET3087、3088を有する点異なる。P型MOSFET3095、3096及びN型MOSFET3087、3088は、それぞれソースとドレインが共通接続される。

【0069】まず、第一の制御信号301が高電位である第一の期間において、第一の節点 $A_{n-1}$ が高電位になると、直列に接続された2個のN型MOSFET3083、3084はゲートが共に高電位なので導通し、第二の節点 $B_{n-1}$ は低電位になる。このとき、N型MOSFET3083、3084にそれぞれ並列に接続されたN型MOSFET3087、3088は、いずれもソースとドレインが共通接続されているため、導通しても放電には寄与しない。

【0070】第二の節点 $B_{n-1}$ が低電位になると、第二の制御信号302は低電位なので、直列に接続された2個のP型MOSFET3091、3092はゲートが

共に低電位なので導通し、第三の節点 $A_n$ は高電位になる。このとき、P型MOSFET3091、3092にそれぞれ並列に接続されたP型MOSFET3095、3096は、いずれもソースとドレインが共通接続されているため、導通しても充電には寄与しない。

【0071】また、第一の制御信号301が低電位である第二の期間において、第二の制御信号302は高電位なので、第四の節点 $B_n$ が高電位になると、直列に接続された2個のN型MOSFET3093、3094のゲートが共に高電位なので導通し、第三の節点 $A_n$ は低電位になる。このとき、N型MOSFET3093、3094にそれぞれ並列に接続されたN型MOSFET3097、3098も導通するため、節点 $A_n$ を放電する能力は実効的に2倍になり、放電速度は第一の期間の2倍になる。

【0072】つづいて、第三の節点 $A_n$ が低電位になると、直列に接続された2個のP型MOSFET3081、3082のゲートが共に低電位なので導通し、第二の節点 $B_{n-1}$ は高電位になる。このとき、P型MOSFET3081、3082にそれぞれ並列に接続されたP型MOSFET3085、3086も導通するため、節点 $B_{n-1}$ を充電する能力は実効的に2倍になり、充電速度は第一の期間の2倍になる。従って、遅延回路列の第二の期間の伝搬時間は、第一の期間の伝搬時間の1/2になる。

【0073】次に、制御回路310、遅延回路列320、及びパルス生成回路330の動作を図7を参照して説明する。図7は、制御回路310、遅延回路列320、及びパルス生成回路330の動作を説明するためのタイミングチャートである。サイクル時間は、第1実施形態の2倍の $20ns$ である。時刻 $5ns$ においてクロック信号2が立ち上がり、第一の制御信号301が高電位、第二の制御信号302が低電位になる（第一の期間）。遅延回路312を介して遅延回路列320の入力信号303、即ち節点 $A_0$ が高電位になると、前述のように節点 $B_0$ が放電され、次いで節点 $A_1$ が充電される。以下順に、第一の期間には節点 $A_k$ は充電、節点 $B_k$ は放電されながら、図5中の右方向にエッジ信号が進行する。尚、図中の右方向とは、値 $k$ が大きくなる方向であり、図中の左方向とは、値 $k$ が小さくなる方向である。例えば、節点 $A_k$ は節点 $A_{k-1}$ の右方向に位置し、逆に節点 $A_{k-1}$ は節点 $A_k$ の左方向に位置する。

【0074】時刻 $25ns$ において次のクロック信号2が立ち上がり、第一の制御信号301が低電位、第二の制御信号302が高電位に反転したとき、エッジ信号は節点 $A_{11}$ まで伝搬し、節点 $A_{11}$ は充電されている途中である。このとき節点 $A_{11}$ は逆に放電され、節点 $A_k$ は放電、節点 $B_k$ は充電されながら、第一の期間の1/2の伝搬時間で、図5中の左方向にエッジ信号が進行し、節点 $B_0$ 、即ち遅延回路列320の出力信号304

が高電位となる。パルス生成回路 330 は、遅延回路 331、インバータ 332、AND 回路 333 から構成され、入力信号 304 の立ち上がりを検出して、第二の期間のみ、即ち 2 サイクルに 1 回、外部クロック信号の中間にワンショットパルス信号 305 を出力する。

【0075】次に、本実施形態の全体の動作波形を図 6 を参照して説明する。図 6 は、本実施形態の全体の動作波形を説明するためのタイミングチャートである。制御回路 410、遅延回路列 420、パルス生成回路 430 の構成は、それぞれ制御回路 310、遅延回路列 320、パルス生成回路 330 と等しく、極性制御信号 3 をインバータ 31 で反転して入力することで、互いに逆相に動作させる。パルス生成回路 130、230、330、430 の出力信号 105、205、305、405 は、増幅回路 40 の 4 入力 OR 回路 42 により論理和が演算され、外部クロック信号とその中間に内部クロック信号 4 として毎サイクル生成される。

【0076】次に、遅延時間について、図 6 を参照して説明する。外部クロック信号 1 から遅延回路制御信号 301 までの時間、即ち受信回路 30 及び制御回路 310 の伝搬時間を  $t_1$ 、遅延回路列出力信号 304 から内部クロック信号 4 までの時間、即ちパルス生成回路 430 及び増幅回路 40 の伝搬時間を  $t_2$  とする。遅延回路 312 の遅延時間は、遅延回路 312 及び AND 回路 313 の伝搬時間が  $2 \times (t_1 + t_2)$  となるようにあらかじめ設定する。

【0077】第一の期間において遅延回路列 320 の伝搬時間を  $t_d$  とすると、第二の期間における伝搬時間は、前述のようにその  $1/2$ 、即ち  $t_d/2$  になる。遅延回路列 320 の第一の制御信号 301 が高電位である期間はサイクル時間  $t_{CK}$  に等しく、これは遅延回路制御信号 301 が立ち上がってから、遅延回路 312、AND 回路 313 を経て第一の期間に遅延回路列 320 を伝搬する時間に等しいので、 $t_{CK} = 2 \times (t_1 + t_2) + t_d$  である。

【0078】第二の期間に、外部クロック信号 1 が受信回路 10 に入力されてから、遅延回路制御信号 301 が立ち下がり、遅延回路列 320、パルス生成回路 330、及び増幅回路 40 を経て、内部クロック信号 4 を出力するまでの時間は  $t_1 + t_d + t_2/2$  で、これは前述の等式より  $t_{CK}/2$ 、即ちサイクル時間の  $1/2$  に他ならない。即ち、内部クロック信号 4 は、第二の期間の外部クロック信号と第三の期間の外部クロック信号の中間のタイミングで出力されることになる。

【0079】第一の実施形態と同様に、本実施形態のクロック周期の分解能はゲート 1 段以下で、電荷量と充放電時間が線形性が保たれる範囲では、サイクル時間によるばらつきはない。即ち、内部クロック信号 4 は、ゲート 1 段以下の精度で、第二の期間の外部クロック信号と第三の期間の外部クロック信号の中間のタイミングで出

力される。従って、本実施形態によれば、内部クロック信号と外部クロック信号の位相差は  $180^\circ$  に対しゲート 1 段以下で、ダブルデータレート仕様を実現できる。

【0080】〔第 3 実施形態〕次に、本発明の第 3 実施形態による半導体集積回路について図 8 を参照して説明する。本実施形態における回路構成は、図 1 に示した第 1 実施形態の回路構成とほぼ同じであるが、遅延回路列 120、220 の構成が異なる。図 8 は、本発明の第 3 実施形態による半導体集積回路に用いられる遅延回路列 120 の構成を示す回路図である。

【0081】図 8 に示されたように、遅延回路列 120 を構成する遅延回路 1090 は、2 組の直列に接続された 2 個の P 型 MOSFET 1081、1082 及び 1091、1092、2 組の直列に接続された 2 個の N 型 MOSFET 1083、1084 及び 1093、1094 が、第 1 の実施形態と同じであるが、P 型 MOSFET 1085、1095 及び N 型 MOSFET 1087、1097 を有する点が異なる。図 1 中の遅延回路列 220 の構成は図 8 に示された遅延回路列 120 と等しい。

【0082】まず、本実施形態の説明をする前に、図 1 に示す第 1 実施形態の遅延回路列 120 において、遅延回路 1090 の節点の充放電の過程を詳細に検討する。第一の制御信号 101 が高電位である第一の期間において、節点  $A_{n-1}$  が高電位になると、直列に接続された 2 個の N 型 MOSFET 1083、1084 のゲートが共に高電位なので導通し、それまで高電位だった節点  $B_{n-1}$  は放電されはじめる。このとき、節点  $A_n$  が低電位で P 型 MOSFET 1082 が導通しているため、P 型 MOSFET 1082 のソース、即ち P 型 MOSFET 1081 のドレイン（以下、P 型 MOSFET 1081 と 1082 の中間節点と記述する。）も高電位から放電されはじめる。

【0083】節点  $B_{n-1}$  の放電に伴って、P 型 MOSFET 1092 が導通して節点  $A_n$  が充電されはじめると、P 型 MOSFET 1082 が遮断されるため、前記中間節点は、完全に放電されないうちに高インピーダンス状態になる。この中間節点は、第二の期間に第一の制御信号 101 が低電位になると、P 型 MOSFET 1081 が導通するため、高電位に充電される。このとき、第二の制御信号 102 も高電位になり、節点  $A_n$  は高インピーダンスになっているため、導通している P 型 MOSFET 1082 のゲートの容量結合によって、節点  $A_n$  の電位はわずかに上昇する。そのため、第二の期間のエッジ信号の伝搬において、節点  $A_n$  の放電すべき電荷量が増加し、遅延時間は増加する。尚、節点  $A_n$  の充電の過程における N 型 MOSFET 1093、1094 の中間節点も、同様に遅延時間が増加する要因になる。

【0084】中間節点の電位は、各節点の動作波形にも依存するために不安定で、各周期によって変動する。特に電源を投入した直後には、電源電圧が上昇する途中で



中間節点が高インピーダンスになるため、通常の信号伝搬による電位と大きく異なることになる。第二の期間における節点  $A_n$  の電位の上昇分は、この中間節点の電位に依存し、特に電源を投入した後の最初の周期において、上昇分の変動は顕著になる。そのため、遅延回路列 120 の伝搬時間が変動し、外部クロック信号と内部クロック信号にわずかながら位相差が生じる。従って、入力セットアップ時間、入力ホールド時間などの規格の要求が特に厳しい半導体集積回路においては、動作余裕を低下させる可能性がある。

【0085】本実施形態では、エッジ信号が伝搬してから制御信号 101, 102 が変化するまでに、中間節点を充放電する手段を備えた。即ち、P型MOSFET 1081と1082の中間節点をドレインとし、節点  $B_n$  をゲートとするP型MOSFET 1085を有する。第一の実施形態と同様に、節点  $B_{n-1}$  の放電に伴って、P型MOSFET 1081と1082の中間節点は中間電位にまで放電される。節点  $A_n$  の充電により、つづいて節点  $B_n$  が放電されると、P型MOSFET 1085はゲートが低電位になるので導通するため、中間節点は高電位に充電される。このとき、節点  $A_n$  は低インピーダンスで高電位になっているため、P型MOSFET 1082のゲートの容量結合を受けても電位は変動しないため、第二の期間の伝搬時間はサイクルによらず一定である。

【0086】このように、本実施形態によれば、中間節点の中間電位は低インピーダンスになるため、特に電源を投入した直後に、これに起因する外部クロック信号と内部クロック信号の位相差をなくし、より性能の高い半導体集積回路を提供する。尚、本実施形態に示した技術思想は、第2の実施形態にも適用できることはいうまでもない。

【0087】〔第4実施形態〕次に、本発明の第4実施形態による半導体集積回路について、図9を参照して説明する。図9は、本発明の第4実施形態による半導体集積回路の回路構成を示す回路図である。本実施形態は、図1に示した第1実施形態に、複数の遅延時間を複数の制御信号で選択可能な遅延回路 114と、遅延回路 114と等しい構成の遅延回路 134を付加した構成である。遅延回路 114は制御回路 110において、遅延回路列 120の制御信号 101から入力信号 103への経路に配置され、遅延回路 134はパルス生成回路 130において、入力信号 104から出力信号 105へ至る経路に配置され、遅延回路 114と遅延回路 134の遅延時間が等しくなるように制御する回路になっている。

【0088】上記構成における動作は、基本的には第1実施形態の動作と等しく、遅延回路 114と遅延回路 134の遅延時間  $\Delta t$  の調整が加わる点が第1の実施形態と異なる。そのため、遅延時間について説明する。外部クロック信号 1から遅延回路制御信号 101までの時

間、即ち受信回路 10と制御回路 110のフリップフロップ回路 111の伝搬時間を  $t_1$ 、パルス生成回路 130の入力信号 135から内部クロック信号 4までの時間、即ちパルス生成回路 130と増幅回路 40の伝搬時間を  $t_2$ 、第一の期間、及び第二の期間において遅延回路列 120を伝搬する時間を共に  $t_d$  とする。

【0089】遅延回路 112の遅延時間は、遅延回路 112及びAND回路 113の伝搬時間の和が  $t_1 + t_2$  となるように、あらかじめ設定する。遅延回路列 120の第一の制御信号 101が高電位である期間はサイクル時間  $t_{CK}$  に等しく、これは遅延回路制御信号 101が立ち上がってから、遅延回路 114, 112、AND回路 113を経て第一の期間に遅延回路列 120を伝搬する時間に等しいので、 $t_{CK} = \Delta t + t_1 + t_2 + t_d$  である。

【0090】第二の期間に、外部クロック信号 1が受信回路 10に入力されてから、遅延回路制御信号 101が立ち下がり、遅延回路列 120、遅延回路 134、パルス生成回路 130、及び増幅回路 40を経て、内部クロック信号 4を出力するまでの時間は  $t_1 + t_d + \Delta t + t_2$  であり、これは前述の等式より  $t_{CK}$ 、即ちサイクル時間に他ならない。即ち、内部クロック信号 4は、第三の期間の外部クロック信号と同じタイミングで出力されることになる。

【0091】遅延回路列 120を伝搬する時間  $t_d$  は、前述の等式より  $t_{CK} - \Delta t - t_1 - t_2$  であり、遅延回路 114, 134の遅延時間の項  $\Delta t$  が含まれる。従って、例えば、クロック周期  $t_{CK}$  があらかじめ長くなることがわかっている場合には、 $\Delta t$  が長くなる設定、クロック周期  $t_{CK}$  があらかじめ短くなることがわかっている場合には、 $\Delta t$  が短くなる設定を行う。以上の動作により、本実施形態では、遅延回路列 120, 220の規模を大きくすることなく、広い周波数範囲にわたって所望の特性が得られる。なお、本実施形態に示した技術思想は、第2及び第3の実施形態にも適用できることはいうまでもない。

【0092】〔第5実施形態〕次に、本発明の第5実施形態による半導体集積回路について、図10及び図11を参照して説明する。図10は、本発明の第5実施形態による半導体集積回路の回路構成を示す回路図である。本実施形態は、図1に示した第1実施形態に、遅延調整回路 115が追加され、遅延回路 112は単純な遅延回路でなく、遅延調整回路 115により調整可能な可変遅延回路になっている。

【0093】、図11は、遅延回路 112及び遅延調整回路 115の回路構成を示す回路図である。本実施形態では、図11に示すように、遅延回路 112は、トランジスタ 5103を介して接続される容量素子 5104の組合せ8組がインバータ 5101, 5102間の節点に接続され構成されている。トランジスタ 5103内の1

個のトランジスタは常に導通状態にあり、他のトランジスタは、1個が信号5105で制御され、2個が信号5106で制御され、4個が信号5107で制御される。

【0094】各制御信号5105、5106、5107は、それぞれ遅延調整回路115内のヒューズレジスタ5108、5109、5110で独立に制御される。従って、トランジスタ5103に接続される容量値は、2の3乗、即ち8段階のレベルをもち、遅延回路112は8段階の遅延時間をもつ。ヒューズレジスタ5108、5109、5110の出力レベルは、ヒューズ5111、5112、5113の接続状態、及び設定信号5114で決定される。

【0095】本実施形態においては、ヒューズにより遅延回路112の遅延時間を調整できるので、半導体集積回路の製造におけるいわゆる前工程が完成した後も、後工程のパッケージ組立を行う前にクロック信号のタイミングの設定が可能になる。なお、本実施形態に示した技術思想は、第2から第4の実施形態にも適用できることはいうまでもない。

【0096】〔第6実施形態〕次に、本発明の第6実施形態による半導体集積回路について、図12及び図13を参照して説明する。図12は、本発明の第6実施形態による半導体集積回路の回路構成を示す回路図である。本実施形態は、図10に示した第5の実施形態の遅延調整回路115の代わりに遅延調整回路116を備えたものである。

【0097】図13は、遅延回路112及び遅延調整回路116の回路構成を示す回路図である。図13に示すように、特に遅延回路112がトランジスタ5103を介して接続される容量素子5104の組合せ8組をインバータ5101、5102間の節点に接続される構成であり、トランジスタ5103内の1個のトランジスタは常に導通状態にあり、他のトランジスタは、1個が信号5105で制御され、2個が信号5106で制御され、4個が信号5107で制御される。

【0098】トランジスタ5103に接続される容量値は、2の3乗、即ち8段階のレベルをもち、遅延回路112は8段階の遅延時間をもつ構成は、図11と同じである。ただし、各信号5105、5106、5107は、それぞれ遅延調整回路116内のレジスタ5206、5207、5208で独立に制御される。レジスタ5206、5207、5208の出力レベルは、外部信号5201、5202、5203の状態、及び設定信号5204と設定解除信号5205で決定される。

【0099】本実施形態では、外部信号5201、5202、5203、5204、5205により遅延回路112の遅延時間を調整できるので、半導体集積回路が完成し、システムに搭載した後もクロック信号のタイミングの設定が可能になる。図14は、本発明を搭載した半導体装置の構成を示すブロック図である。図14に示

された半導体装置は、複数のメモリモジュール5310、5320、5330、5340、記憶装置制御用集積回路装置5301、及びクロック信号発生装置5308から構成され、メモリモジュール5310は複数の同期式DRAM5315、5316、5317、5318から構成される。同期式DRAM5315は本発明による半導体集積回路5311を搭載しているシステム5309を示す。

【0100】同期式DRAM5315及び同期式DRAM5345は、共通のクロック信号5302で制御され、共通のデータ出力5307に出力され、記憶装置制御用集積回路装置5301で受信されるため、各メモリモジュール5310、5340の配置によって遅延時間差が生じ、システムの動作周波数の上限を制限する。本実施形態を適用すると、外部信号5201、5202、5203、5204、5205により遅延回路112の遅延時間を調整できるので、システムに搭載後にクロック信号のタイミングの設定を行い、各メモリモジュールの配置による遅延時間差を緩和し、システムの動作周波数の上限を向上することが可能になる。尚、本実施形態に示した技術思想は、第2から第5の実施形態にも適用できることはいうまでもない。

【0101】〔第7実施形態〕次に、本発明の半導体集積回路の第7の実施形態について、図24、図25、図26、図27、及び図28を参照して説明する。図24に示す仕様で動作する半導体記憶装置がある。（「NECデータブック専用メモリ」1996、4）すなわち、サイクル時間を $t_{CYC}$ とすると、 $T_{xCLK}$ -データコントロール信号最小出力時間75、および同最大出力時間76はそれぞれ、 $(1-0.45) \times t_{CYC} / 4$ 、 $(1+0.45) \times t_{CYC} / 4$ で規定される。すなわち、入力クロック信号 $T_{xCLK}$ をストローブ信号として、システムの制御装置が半導体記憶装置のデータ出力および制御信号出力をラッチするため、クロック信号に対してサイクル時間の $1/4$ 、 $3/4$ のタイミングで切り替わるよう、制御することになる。本実施形態は、この仕様を実現する半導体記憶装置を提供するものである。

【0102】図25に示すように、本実施形態は図5の半導体集積回路に、4組の遅延回路列520、620、720、820、4組の制御回路510、610、710、810、4組のパルス生成回路530、630、730、830が追加して構成され、増幅回路40の構成が異なる。制御回路510、およびパルス生成回路530の構成と動作は、それぞれ制御回路110、パルス生成回路130のそれとほぼ同じであるが、制御回路を構成する遅延回路の遅延時間が異なる。図26に示すように、遅延回路列520において、節点 $A_n$ から接地線には、4組のN型MOSFETが並列に接続され、電源線には1組のP型MOSFETのみ電気的に接続される。

逆に節点  $B_n$  から接地線には、1組のN型MOSFETのみ電氣的に接続され、電源線には4組のN型MOSFETが並列に接続される。

【0103】第一の制御信号501が高電位、第二の制御信号502が低電位である第一の期間において、節点  $A_n$  は1組のP型MOSFETによって充電され、節点  $B_n$  は1組のN型MOSFETによって放電される。第一の制御信号501が低電位、第二の制御信号502が高電位である第二の期間において、節点  $A_n$  は4組のN型MOSFETによって放電され、節点  $B_n$  は4組のP型MOSFETによって充電される。したがって、遅延回路列520の第二の期間の伝搬時間は、第一の期間の伝搬時間の1/4になる。

【0104】制御回路710、およびパルス生成回路730の構成と動作は、それぞれ制御回路110、パルス生成回路130のそれとほぼ同じであるが、制御回路を構成する遅延回路の遅延時間が異なる。図27に示すように、遅延回路列720において、節点  $A_n$  から接地線には、4組のN型MOSFETが並列に接続され、電源線には3組のP型MOSFETが並列に電氣的に接続される。逆に節点  $B_n$  から接地線には、3組のN型MOSFETが並列に電氣的に接続され、電源線には4組のN型MOSFETが並列に接続される。

【0105】第一の制御信号701が高電位、第二の制御信号702が低電位である第一の期間において、節点  $A_n$  は3組のP型MOSFETによって充電され、節点  $B_n$  は3組のN型MOSFETによって放電される。第一の制御信号701が低電位、第二の制御信号702が高電位である第二の期間において、節点  $A_n$  は4組のN型MOSFETによって放電され、節点  $B_n$  は4組のP型MOSFETによって充電される。したがって、遅延回路列720の第二の期間の伝搬時間は、第一の期間の伝搬時間の3/4になる。

【0106】本実施形態の全体の動作波形を図28に示す。制御回路610、遅延回路列620、パルス生成回路630の構成は、それぞれ制御回路510、遅延回路列520、パルス生成回路530とまったく同じで、極性制御信号3をインバータ30で反転して入力することで、互いに逆相に動作させる。同様に、制御回路810、遅延回路列820、パルス生成回路830の構成は、それぞれ制御回路710、遅延回路列720、パルス生成回路730とまったく同じで、極性制御信号3をインバータ30で反転して入力することで、互いに逆相に動作させる。パルス生成回路130、230、330、430、530、630、730、830のそれぞれの出力信号105、205、305、405、505、605、705、805は、増幅回路40の8入力OR回路44によりORをとって、外部クロック信号とその1/4サイクル間隔のタイミングで内部クロック信号4を毎サイクル生成する。

【0107】第一、および第二の実施形態と同様に、本実施形態のクロック周期の分解能はゲート1段以下で、電荷量と充放電時間が線形性が保たれる範囲では、サイクル時間によるばらつきはない。すなわち、内部クロック信号4は、ゲート1段以下の精度で、外部クロック信号とその1/4サイクル間隔のタイミングで出力される。したがって、本実施形態によれば、内部クロック信号と外部クロック信号の位相差は90°に対しゲート1段以下で、図24に示した仕様を実現できる。

10 【0108】〔第8の実施形態〕次に、本発明の半導体集積回路の第8の実施形態について、図29、図30、および図31を参照して説明する。図29に示すように、本実施形態は図1の半導体集積回路に、制御回路160、260、遅延回路列170、270、パルス生成回路180、280が追加して構成され、極性制御回路20の代わりに極性制御回路24で構成され、増幅回路40の構成が異なる。遅延回路列170、270の構成は遅延回路列120とまったく同じで、制御回路160、260、およびパルス生成回路180、280の構成は、それぞれ制御回路110、およびパルス生成回路130と同じである。

20 【0109】極性制御回路24は、リセット付フリップフロップ25、26とインバータ22、23、27で構成され、あらかじめリセット信号28で初期化されると、内部信号2を受けて、クロック信号入力により論理レベルが2サイクル毎に交互に反転する、互いに位相の異なる4相の極性制御信号32、33、34、35を出力する。図1に示す第1の実施形態の最小サイクル時間について、図2に示した全体の動作波形から詳細に検討する。第二の期間に、外部クロック信号1が受信回路10に入力されてから、遅延回路制御信号101が立ち下がり、遅延回路列120、パルス生成回路130、および増幅回路40を経て、内部クロック信号4を出力するまでの時間は  $t_1 + t_d + t_2$  である。サイクル時間が短くなるにしたがって遅延回路列の伝搬時間  $t_d$  が小さくなる。

30 【0110】図1のパルス生成回路105において、入力信号104の低電位の信号幅が遅延回路131とインバータ132の遅延時間以下だと、入力信号104が高電位になったときに、AND回路のもう一方の入力である遅延回路131とインバータ132を介した節点の電位がまだ低電位なので、所望のタイミングで立ち上がるパルス波形が得られないことになる実際の設計では一般的に、パルス生成回路130は図31に示したように、入力的一方を入力信号104としたNAND素子で遅延経路を分割して、入力信号104に要求される低電位の信号幅  $t_w$  をインバータ2段にまで削減することが行われる。低電位の信号幅は  $2 \times t_d$  で、 $2 \times t_d \geq t_w$  となるので、最小サイクル時間は  $t_{CKmin} = t_1 + t_w / 2 + t_2$  である。

【0111】本実施形態は、最小サイクル時間を削減する手段を提供する。図30に示した全体の動作波形から詳細に検討する。本実施形態において、極性制御信号32は、外部クロック信号入力により論理レベルが2サイクル毎に交互に反転するため、第一の制御信号101は2サイクル毎に極性が反転する。第一の制御信号101は、第一のサイクルで高電位になり（第一の期間）、第三のサイクルで低電位になる（第二の期間）。

【0112】遅延回路列120の第一の制御信号101が高電位である期間はサイクル時間の2倍、すなわち  $2 \times t_{CK}$  に等しく、これは遅延回路制御信号101が立ち上がりしてから、遅延回路112、AND回路113を経て第一の期間に遅延回路列120を伝搬する時間に等しいので、 $2 \times t_{CK} = t_1 + t_2 + t_d$  である。第二の期間に、外部クロック信号1が受信回路10に入力されてから、遅延回路制御信号101が立ち下がり、遅延回路列120、パルス生成回路130、および増幅回路40を経て、内部クロック信号4を出力するまでの時間は  $t_1 + t_d + t_2$  である。これは前述の等式より  $2 \times t_{CK}$ 、すなわちサイクル時間の2倍に他ならない。すなわち、内部クロック信号4は、第五のサイクルの外部クロック信号と同じタイミングで出力されることになる。

【0113】サイクル時間が短くなるにしたがって、遅延回路列の伝搬時間  $t_d$  が小さくなり、 $t_w/2$  まで小さくできる。第三のサイクルの外部クロック信号1から第五のサイクルに出力される内部クロック信号4までの最小時間、すなわち最小サイクル時間の2倍が  $t_1 + t_w/2 + t_2$  になる。すなわち、最小サイクル時間は  $t_{CKmin} = (t_1 + t_w/2 + t_2) / 2$  になり、第一の実施形態に対し半減する。したがって、本実施形態では、4組の遅延回路列を4相で制御する構成をとったため、実施形態1の最小サイクル時間を半減できる。

【0114】〔第9の実施形態〕次に、本発明の半導体集積回路の第9の実施形態について、図32、図33、および図34を参照して説明する。図32に示すように、本実施形態は図1の半導体集積回路に、制御回路360、460、560、遅延回路列370、470、570、パルス生成回路380、480、580が追加して構成され、極性制御回路20および29で構成され、増幅回路40の構成が異なる。

【0115】制御回路360、およびパルス生成回路380の構成と動作は、それぞれ制御回路110、パルス生成回路130のそれとほぼ同じであるが、制御回路を構成する遅延回路の遅延時間が異なる。図33に示すように、遅延回路列370において、節点  $A_n$  から接地線には、2組のN型MOSFETが並列に電気的に接続され、電源線には3組のP型MOSFETが並列に接続される。逆に節点  $B_n$  から接地線には、3組のN型MOSFETが並列に接続され、電源線には2組のN型MOS

FETが並列に電気的に接続される。

【0116】第一の制御信号351が高電位、第二の制御信号352が低電位である第一の期間において、節点  $A_n$  は3組のP型MOSFETによって充電され、節点  $B_n$  は3組のN型MOSFETによって放電される。第一の制御信号351が低電位、第二の制御信号352が高電位である第二の期間において、節点  $A_n$  は2組のN型MOSFETによって放電され、節点  $B_n$  は2組のP型MOSFETによって充電される。したがって、遅延回路列370の第二の期間の伝搬時間は、第一の期間の伝搬時間の  $3/2$  になる。

【0117】本実施形態の全体の動作波形を図34に示す。制御回路460、560、遅延回路列470、570、パルス生成回路480、580の構成は、それぞれ制御回路360、遅延回路列370、パルス生成回路380とまったく同じで、互いに異なる位相の極性制御信号34、35、36を入力することで、互いに異なる位相で動作させる。パルス生成回路130、230、380、480、580のそれぞれの出力信号105、205、355、455、555は、増幅回路40の5入力OR回路46によりORをとって、外部クロック信号とその中間のタイミングで内部クロック信号4を毎サイクル生成する。本実施形態は、第2の実施形態に対し第二の期間の伝搬時間を0.5サイクルから1.5サイクル相当に拡大したことになる。そのため、第8の実施形態と同様に、最小サイクル時間を大幅に削減して、第2の実施形態と同じ機能を実現できる。

【0118】〔第10の実施形態〕次に、本発明の半導体集積回路の第10の実施形態について、図35を参照して説明する。本実施形態は、図5に示した第2の実施形態、遅延調整回路6009が追加され、遅延回路列320、420は単純な遅延回路列ではなく、遅延調整回路6009により調整可能な可変遅延回路列になっている。

【0119】本実施形態の遅延回路列320、および遅延調整回路6009の構成を図35に示す。遅延回路列320を構成する遅延回路3090において、直列に接続された2個のN型MOSFET3083、3084の中間節点6003、および直列に接続された2個のN型MOSFET3093、3094の中間節点6004に、トランジスタ6001を介して容量素子6002が接続され構成されている。中間節点6003に接続されるトランジスタ6001は、1個が信号6005で制御され、2個が信号6006で制御される。中間節点6004に接続されるトランジスタ6001は、1個が信号6008で制御され、2個が信号6007で制御される。各制御信号6005、6006、6007、6008は、それぞれ遅延調整回路6009内のヒューズレジスタ6011、6012、6013、6014で独立に制御される。したがって、中間節点6003、6004

に接続される容量値は、それぞれ2の2乗、すなわち4段階のレベルをもち、それぞれ独立に設定できる。ヒューズレジスタ6011、6012、6013、6014の出力レベルは、ヒューズ6015、6016、6017、6018の接続状態、および設定信号6010で決定される。

【0120】例として、ヒューズ6018のみがブローされ、制御信号6008のみ高電位になり、トランジスタ6001を介して中間節点6004に1個の容量素子6002が電気的に接続された場合について説明する。第一の制御信号301が高電位である第一の期間において、節点An-1が高電位になると、それまで高電位だった節点Bn-1は放電される。つづいて、直列に接続された2個のP型MOSFET3091、3092のゲートが共に低電位になるので導通し、それまで低電位だった節点Anは充電される。このとき、節点Bnが高電位でN型MOSFET3093、3097が導通しているため、N型MOSFET3093と3094の中間節点、すなわち節点6004も充電されはじめる。本実施形態において、節点6004には容量素子6002が接続されているため、図5に示した第2の実施形態に対して、節点6004の充電時間は長くなる。そのため、電気的に接続された節点Anの充電時間も長くなり、遅延時間は増加する。

【0121】第二の期間に第一の制御信号301が低電位になると、第二の制御信号302は高電位になるため、第二の制御信号302をゲートとするN型MOSFET3094、3098は導通し、中間節点6004は放電される。節点Bnが高電位になると、N型MOSFET3093、3097のゲートが共に高電位になるので導通し、それまで高電位だった節点Anは放電される。このとき、中間節点6004は低電位で、エッジ信号が伝搬するときには放電されることがないため、節点Anの放電時間は図5に示した第2の実施形態とほぼ同じで、遅延時間はほとんど変わらない。すなわち、中間節点6004に容量を接続することにより、第一の期間の伝搬時間のみ増大させることができる。また、中間節点6003に容量を接続することにより、第二の期間の伝搬時間のみ増大させることができる。したがって、本実施形態により、第一の期間と第二の期間の伝搬時間を独立に調整でき、ひいては伝搬時間の比を調整することができる。

【0122】本発明において、節点Akと節点Bkの寄生容量や寄生抵抗が対称になるように、遅延回路のマスクレイアウトを設計する。しかし、実際の半導体集積回路の製造において、工程間での目合わせずれやコンタクト抵抗のばらつきなどが生じ、寄生容量や寄生抵抗が不均等になると、遅延回路の伝搬に伴い差が累積されるため、設計段階で意図した伝搬時間比からずれることになり、ひいては製造範囲が制限される。本実施形態では、

ヒューズにより遅延回路列320、420の遅延時間を調整できるので、半導体集積回路の製造におけるいわゆる前工程が完成した後も、後工程のパッケージ組立を行う前に伝搬時間の比、すなわちクロック信号のタイミングの設定が可能になる。

【0123】また、P型MOSFET3081、3082の中間節点、およびP型MOSFET3091、3092の中間節点に、トランジスタを介して容量素子を接続する構成でも、同様な効果を得ることができる。また、前記N型MOSFETの中間節点にソースおよびドレインを共通に接続し、制御信号をゲートに接続したN型MOSFETでも同様な効果を得ることができる。すなわち、中間節点の電圧変動範囲は0Vから電源電圧/2程度なので、ゲートに接続された制御信号が高電位の場合、N型MOSFETのチャネルは常に形成され、遅延時間は増加する。制御信号が低電位の場合、チャネルは形成されないため、遅延時間はほとんど変わらない。したがって、第一の期間と第二の期間の伝搬時間を独立に調整でき、ひいては伝搬時間の比を調整することができる。

【0124】前記P型MOSFETの中間節点にソースおよびドレインを共通に接続し、制御信号をゲートに接続したP型MOSFETでも同様な効果を得ることができる。(第11の実施形態)次に、本発明の半導体集積回路の第11の実施形態について、図36、図37、図38を参照して説明する。本実施形態は、図1に示した第1の実施形態に、AND回路140、240が追加、挿入されている構成が異なる。

【0125】第1の実施形態において、外部から入力されるクロック信号の周期が、一時的に大きく変動した場合の動作波形を図37に示す。時刻5nsにクロック信号2が立ち上がると、極性制御信号3が高電位なので、第一の制御信号101が高電位になって第一の期間になり、つづいて遅延回路列120の入力信号103が高電位になると、遅延回路列120を図1の回路図の向かって右方向にエッジ信号が進行する。極性制御信号3はクロック信号2が立ち下がると低電位になる。時刻20nsにクロック信号2が立ち上がると、極性制御信号3が低電位なので、第一の制御信号101が低電位になって第二の期間になり、遅延回路列120を回路図の向かって左方向にエッジ信号が進行する。

【0126】ここで、第一の期間のサイクル時間tCK1に対して第二の期間のサイクル時間tCK2が短い場合には、エッジ信号が節点B0、すなわち遅延回路列120の出力信号104に到達しないうちに、再びクロック信号2が入力され、第一の制御信号101が高電位になることになる。エッジ信号は遅延回路列120を回路図の向かって右方向に進行する。そのため、遅延回路列120の出力信号104は高電位にならないため、パルス生成回路130はワンショットパルス信号105を生

成せず、内部クロック信号4は発生しない。

【0127】以後、クロック信号2が安定した所期のサイクル時間 $t_{CK2}$ で入力されるにもかかわらず、遅延回路列120の出力信号104に高電位が出力されないことになり、しかもエッジ信号は遅延回路列120の内部で、節点A6と節点B13の間を往復するだけで、復帰できない状態に陥ることになる。システムの電源投入直後はクロック信号の入力が不安定なので、このような動作状態になる可能性が高い。

【0128】本実施形態は、このように予想される不具合を未然に防ぐものである。図36に示したように、極性信号3は、節点B0とのAND回路140を介して制御回路110に入力される。本実施形態による動作波形を図38に示す。時刻27nsのクロック信号2により、回路図の向かって右方向に進行したエッジ信号は、時刻47nsのクロック信号2によって、回路図の向かって左方向に進行する。時刻57nsには、エッジ信号は遅延回路列から出力されず、節点B0は低電位なので、AND回路140により、短いサイクル時間でクロック信号2が立ち上がっても制御信号101は高電位にならない。節点B0が高電位になり、エッジ信号が遅延回路列から出力されると、もとの正常な動作状態に戻ることができる。したがって、エッジ信号が遅延回路列から出力されるまでは、エッジ信号は遅延回路列120を回路図の向かって右方向に進行することはなくなり、上記の不具合はおこらない。なお、本実施形態に示した技術思想は、第2から第10の実施形態にも適用できることはいうまでもない。

【0129】〔第12の実施形態〕次に、本発明の半導体集積回路の第12の実施形態について、図39と図40を参照して説明する。本実施形態は、図1に示した第1の実施形態に、フリップフロップ回路111の遅延調整回路6109が追加され、フリップフロップ回路111において、内部信号2から第一および第二の制御信号101、102までの伝搬時間は、遅延調整回路6109により調整可能になっている。

【0130】本実施形態では、図40に示すように、フリップフロップ回路111は、トランジスタ6101、6119を介して接続される容量素子6102、6120の組合せ4組が、第一および第二の制御信号101、102の前段の節点6103、6104にそれぞれ接続され構成されている。トランジスタ6101、6119内のそれぞれ1個のトランジスタは常に導通状態にあり、他のトランジスタは、1個がそれぞれ信号6105、6108で制御され、2個がそれぞれ信号6106、6107で制御される。各制御信号6105、6106、6107、6108は、それぞれ遅延調整回路6109内のヒューズレジスタ6111、6112、6113、6114で独立に制御される。したがって、トランジスタ6101、6119に接続される容量値は、2

の2乗、すなわち4段階のレベルをもち、内部信号2から第一および第二の制御信号101、102までの伝搬時間は、それぞれ4段階のレベルをもつ。すなわち、第一の制御信号101の立ち下がりや第二の制御信号102の立ち上がりのタイミングの差を7段階に設定できる。ヒューズレジスタ6111、6112、6113、6114の出力レベルは、ヒューズ6115、6116、6117、6118の接続状態、および設定信号6110で決定される。

【0131】本発明の半導体集積回路は、前述したとおり、クロック周期の分解能はゲート1段以下で、電荷量と充放電時間の線形性が保たれる範囲では、サイクル時間が変動しても、外部クロック信号に対する内部クロック信号の位相差は変動しない。しかし、実際の半導体集積回路の製造において、P型MOSFETとN型MOSFETのチャネルのイオン打ち込みは別の工程なので、しきい値と電流能力は連動せずに独立に決まる。そのため、両者の充放電能力が不均等な場合には、サイクル時間の変動に伴い、外部クロック信号に対する内部クロック信号の位相差は、ゲート1段以下の範囲で変動する。

【0132】実際の製造において、P型MOSFETに対してN型MOSFETの充放電能力が相対的に低下した場合について考える。このとき第一の期間において、節点Akの立ち上がり時間に対して、節点Bkの立ち下がり時間は長くなる。ここで、節点Bn-1がN型MOSFET1083、1084によって放電されているときに第二の期間に切り替わったとする。第一の制御信号101が低電位になるため、節点Bn-1はP型MOSFET1081、1082によって充電され、逆方向、すなわち回路図の向かって左方向に伝搬しはじめる。このとき、P型MOSFETとN型MOSFETの充放電能力の差により、第一の期間における節点Bn-1の立ち下がり時間が長く、かつ第二の期間における節点Bn-1の立ち上がり時間が相対的に短くなるため、第二の期間に遅延回路列を伝搬する時間が相対的に短くなる。内部クロック信号4の生成タイミングが相対的に早くなるため、逆の場合に比べて内部クロック信号の位相が進む。すなわち、サイクル時間が変動すると、内部クロック信号の位相が変動することになる。

【0133】本実施形態では、トランジスタ6101を調整して、節点6103に付加される容量値を増加して、第二の制御信号102の立ち上がりに対して、第一の制御信号101の立ち下がりのタイミングを遅らせる。第一の制御信号101は、節点Bn-1の充放電に寄与するP型MOSFET1081、およびN型MOSFET1084のゲートに入力され、第二の期間において節点Bn-1の立ち上がりの開始は相対的に遅くなる。すなわち、遅延回路列を回路図の向かって左方向に伝搬しはじめるタイミングが遅れるため、内部クロック信号4は遅れ、内部クロック信号4の位相は外部クロッ



ク信号1と合う方向に作用し、位相の進みを相殺することになる。

【0134】したがって、本実施形態によれば、半導体集積回路の製造における前工程が完成した後にも、第一の制御信号101の立ち下がりと第二の制御信号102の立ち上がりのタイミング差をヒューズで調整できるので、サイクル時間の変動による外部クロック信号に対する内部クロック信号の位相差の変動を調整できる。なお、本実施形態において、フリップフロップ回路111における第一の制御信号101および第二の制御信号102の出力時間を、テストモードにおいてレジスタで調整可能にする構成も可能である。本実施形態に示した技術思想は、第3から第11の実施形態にも適用できることはいふまでもない。

【0135】〔第13の実施形態〕次に、本発明の半導体集積回路の第13の実施形態について、図41と図42を参照して説明する。本実施形態は、図1に示した第1の実施形態に、テスト回路80が追加されている。テスト回路80において、内部クロック信号4は、内部クロック信号4と内部信号2のタイミングの差より遅延時間が短くなるようにあらかじめ設定された遅延回路82、および遅延時間が外部から設定できる可変遅延回路83、およびテストモードのときに高電位になるテストモード設定信号84との論理積を介して、出力信号86を保持する制御信号が内部信号2であるエッジトリガ型フリップフロップ回路81に入力される。

【0136】可変遅延回路83の遅延時間がある値に設定されたとき、内部信号85が内部信号2より早くフリップフロップ回路81に入力されると、図42(a)に示すように、制御信号である内部信号2が立ち上がる時には内部信号85は立ち上がっており、パルスの高電位の論理がフリップフロップ回路81に保持されるため、判定信号86は高電位になる。可変遅延回路83の遅延時間の設定値を少しずつ増加させ、内部信号85が内部信号2より遅くなると、図42(b)に示すように、制御信号である内部信号2が立ち上がる時には内部信号85は立ち上がっていないため、低電位の論理がフリップフロップ回路81に保持され、判定信号86は低電位になる。判定信号86が高電位から低電位に切り替わる設定値をもって、内部クロック信号4と内部信号2のタイミングの差を測定できる。

【0137】前述したように、サイクル時間が変動すると、外部クロック信号1に対する内部クロック信号4の位相差は、ゲート1段以下の範囲で変動する場合がある。受信回路10は、外部クロック信号1を受信して内部信号2を出力するため、内部信号2は外部クロック信号1と同期する。したがって、本実施形態によって、サイクル時間を変動させながら、内部クロック信号4のタイミングを測定することで、外部クロック信号1に対する内部クロック信号4の位相差の変動を調査することが

できる。

【0138】半導体集積回路の製造における前工程が完成したウェハ状態では、半導体集積回路の電極へ探針を立てて電気特性を測定する。探針のインダクタンス成分が大きく、信号ピンによってもばらつくため、一般にはウェハ状態では、2信号間のスキューなどは高精度に測定できない。本実施形態において、内部信号2と内部クロック信号4は、いずれも共通の外部信号である外部クロック信号1から受信回路2により生成されるため、探針のインダクタンス成分の影響などを除去できる。したがって、本実施形態によれば、後工程のパッケージ組立を行う前に、外部クロック信号に対する内部クロック信号の位相差の変動を高い精度で測定することが可能である。

【0139】なお、本実施形態を、外部クロック信号に対する内部クロック信号の位相差の変動をレジスタで調整可能にした第12の実施形態と組み合わせると、半導体集積回路の製造における前工程が完成した後に、テストモードにより位相差を調整しながら本実施形態により測定できる。すなわち、後工程のパッケージ組立を行う前に、ヒューズによって位相差の変動を抑えることが可能である。また、テスト回路80を2台備え、その入力信号4をパルス生成回路130、230の出力信号105、205に置き換えると、2組の遅延回路列120、220について個別に測定することが可能である。本実施形態に示した技術思想は、第2から第12の実施形態にも適用できることはいふまでもない。

【0140】

【発明の効果】以上説明したように、本発明は下記のような効果がある。

1. 外部クロック信号と内部クロック信号の位相差を内部増幅の遅延より縮め、所望の位相差を有する内部クロック信号を最短2周期で供給しうる。
2. クロック周期を遅延回路のゲートの段数、及び節点の充放電電荷量に置き換えるため、ゲート1段以下の精度で外部クロック信号と内部クロック信号の位相差を除去できる。
3. 効果1の結果、外部クロック信号と位相差のない内部クロック信号を所望のタイミングで用いるために常に本発明の回路を動作させる必要がなく、消費電力が増大しない。
4. 2周期で位相差をなくすことができるので、同期式半導体記憶装置などの命令入力や内部信号でも制御可能で、半導体記憶回路などの全体回路の中で必要な期間のみ動作させることができ、待機時など低消費電力化したい期間は容易に停止することができる。
5. 本発明の回路は、遅延回路列によって周波数を測定するため、電源電圧が低くなっても、制御周波数の範囲は変わらない。
6. 位相差をなくせる条件（電圧、プロセス条件）が限

られており、事前の調査はほとんど不要である。

7. 本発明の回路は、直列に接続されたMOSFETを対称に接続して構成され、パルス信号を伝搬しないため、伝搬する過程で信号波形が消失する可能性はない。

8. 回路の種類が少なく、不良の対応が容易である。

9. 遅延回路を構成するMOSFETの能力比を調整することにより、クロック周期の設定、クロックのデューティ比の設定が容易にできる。

10. 中間節点の中間電位を低インピーダンスにする手段を設けることにより、特に電源を投入した直後の位相差の拡大を抑える。

11. 一定の制御周波数の精度を保って広い周波数にわたってクロックを制御する場合、回路の段数を増やすだけで対応が可能であり、周波数範囲に応じて遅延回路を複数用いた場合でも、遅延回路を切り替えて、位相差がなくなるまでわずか2周期を要するだけである。

12. ヒューズや外部信号により、半導体集積回路が完成した後、またシステムに搭載した後もクロック信号のタイミングの設定が可能になる。

13. 3個以上の遅延回路列を互いに位相の異なる3相以上の信号で制御する構成をとると、最小サイクル時間を大幅に低減できる。

14. ヒューズにより、半導体集積回路が完成した後も、クロック生成タイミングの調整、クロックのデューティ比の調整が容易にできる。

15. 共通の外部クロック信号によるテスト回路により、サイクル時間による位相の変動を測定でき、これをヒューズにより、半導体集積回路が完成した後も、容易に抑えることができる。

#### 【図面の簡単な説明】

【図1】 本発明の第1実施形態による半導体集積回路の回路構成を示す回路図である。

【図2】 本実施形態の全体の動作を説明するためのタイミングチャートである。

【図3】 制御回路110、遅延回路列120、及びパルス生成回路130の動作を説明するためのタイミングチャートである。

【図4】 クロック周期がわずかに変動した場合の遅延回路列120の遅延時間を説明するためのタイミングチャートである。

【図5】 本発明の第2実施形態による半導体集積回路の回路構成を示す回路図である。

【図6】 本実施形態の全体の動作波形を説明するためのタイミングチャートである。

【図7】 制御回路310、遅延回路列320、及びパルス生成回路330の動作を説明するためのタイミングチャートである。

【図8】 本発明の第3実施形態による半導体集積回路に用いられる遅延回路列120の構成を示す回路図である。

【図9】 本発明の第4実施形態による半導体集積回路の回路構成を示す回路図である。

【図10】 本発明の第5実施形態による半導体集積回路の回路構成を示す回路図である。

【図11】 遅延回路112及び遅延調整回路115の回路構成を示す回路図である。

【図12】 本発明の第6実施形態による半導体集積回路の回路構成を示す回路図である。

【図13】 遅延回路112及び遅延調整回路116の回路構成を示す回路図である。

【図14】 本発明を搭載した半導体装置の構成を示すブロック図である。

【図15】 従来の半導体集積回路の概略構成を示すブロック図である。

【図16】 従来の半導体集積回路で用いられるクロックのタイミングチャートである。

【図17】 PLLの基本的な回路構成を示すブロック図である。

【図18】 ダブルデータレート動作を行った場合のタイミングチャートである。

【図19】 ダブルデータレート使用を実現するために用いられるPLL回路の構成を示すブロック図である。

【図20】 RDLLの回路を適用して遅延時間の増大を対策した従来の回路の一例を示す図である。

【図21】 2組の遅延回路列を組み合わせたRDLLの回路を適用して、ダブルデータレート仕様を実現した従来例を示す回路図である。

【図22】 SMDの回路を適用して遅延時間の増大を対策した従来例の回路を示す回路図である。

【図23】 2組の遅延回路列のSMDの回路を適用してダブルデータレート仕様を実現した従来例の回路を示す回路図である。

【図24】 半導体記憶装置の動作規定の例を示す図である。

【図25】 本発明の半導体集積回路の第7の実施形態を示す図である。

【図26】 第7の実施形態における遅延回路列520の回路図である。

【図27】 第7の実施形態における遅延回路列720の回路図である。

【図28】 第7の実施形態の全体の動作波形を示す図である。

【図29】 本発明の半導体集積回路の第8の実施形態を示す図である。

【図30】 第8の実施形態の全体の動作波形を示す図である。

【図31】 第1の実施形態におけるパルス生成回路130の別の回路図である。

【図32】 本発明の半導体集積回路の第9の実施形態を示す図である。

【図 33】 第 9 の実施形態における遅延回路列 370 の回路図である。

【図 34】 第 9 の実施形態の全体の動作波形である。

【図 35】 本発明の半導体集積回路の第 10 の実施形態を示す図である。

【図 36】 本発明の半導体集積回路の第 11 の実施形態を示す図である。

【図 37】 クロック周期が不安定な場合の第 1 の実施形態の全体の動作波形を示す図である。

【図 38】 クロック周期が不安定な場合の第 11 の実施形態の全体の動作波形を示す図である。

【図 39】 本発明の半導体集積回路の第 12 の実施形態を示す図である。

【図 40】 第 12 の実施形態における遅延調整回路 6109 の回路図である。

【図 41】 本発明の半導体集積回路の第 13 の実施形態を示す図である。

【図 42】 第 13 の実施形態の全体の動作波形を示す図である。

# 【符号の説明】

1 外部クロック信号  
2 内部信号  
3 極性制御信号  
4 内部クロック信号  
10 受信回路  
20 極性制御回路  
21, 111, 311 フリップ  
フロップ回路  
22, 23, 30, 31, 132, 332 インバー  
タ  
40 増幅回路  
41, 42, 43 OR 回路  
50 内部回路  
T<sub>D</sub> 遅延時間  
T<sub>c</sub> クロック周期  
60 位相比較器  
61 ループフィルタ  
62 電圧制御発振器  
63, 68 遅延回路  
64, 65, 66, 69 内部信号  
67 分周回路  
T<sub>s</sub> データ入力信号の入力セットアップ時間  
T<sub>h1</sub> データ入力信号の入力ホールド時間  
T<sub>a</sub> データ出力信号のアクセス時間  
T<sub>h2</sub> データ出力信号の出力ホールド時間  
101, 102, 201, 202, 301, 302, 4  
01, 402 遅延回路制御信号  
103, 203, 303, 403 遅延回路列入力信  
号  
104, 204, 304, 404 遅延回路列出力信

号

105, 205, 305, 405  
力信号

110, 210, 310, 410

112, 131, 312, 331

113, 133, 313, 333

114, 134

115, 116

120, 220, 320, 420

10 130, 230, 330, 430

901, 907

902

路

903, 904, 908

905, 906, 909, 910

921

922, 923, 924, 925

926, 927

951, 952, 957

20 953

954

955, 956, 958, 959

971

972

973, 974, 975

1010, 1030, 1050, 1090, 1110,

1990, 3010, 3030, 3090, 3110,

3990 遅延回路

30 1081, 1082, 1085, 1091, 1092,

1095, 3081, 3082, 3085, 3086,

3091, 3092, 3095, 3096

## P 型 MOSFET

1083, 1084, 1087, 1093, 1094,

1097, 3083, 3084, 3087, 3088,

3093, 3094, 3097, 3098

## N 型 MOSFET

5101, 5102

5103

5104

40 5105, 5106, 5107

5108, 5109, 5110

5111, 5112, 5113

5114

5201, 5202, 5203

5204

5205

5206, 5207, 5208

5301

積回路装置

50 5302

パルス生成回路出

制御回路

遅延回路

AND 回路

遅延回路

遅延調整回路

遅延回路列

パルス生成回路

遅延回路列

シフトレジスタ回

制御回路

遅延回路

位相誤差信号群

制御信号

内部信号

遅延回路列

制御回路

負荷調整素子

遅延回路

制御信号

制御端子

内部信号

インバータ

トランジスタ

容量素子

信号

ヒューズレジスタ

ヒューズ

設定信号

外部アドレス信号

設定信号

解除信号

レジスタ

記憶装置制御用集

クロック信号

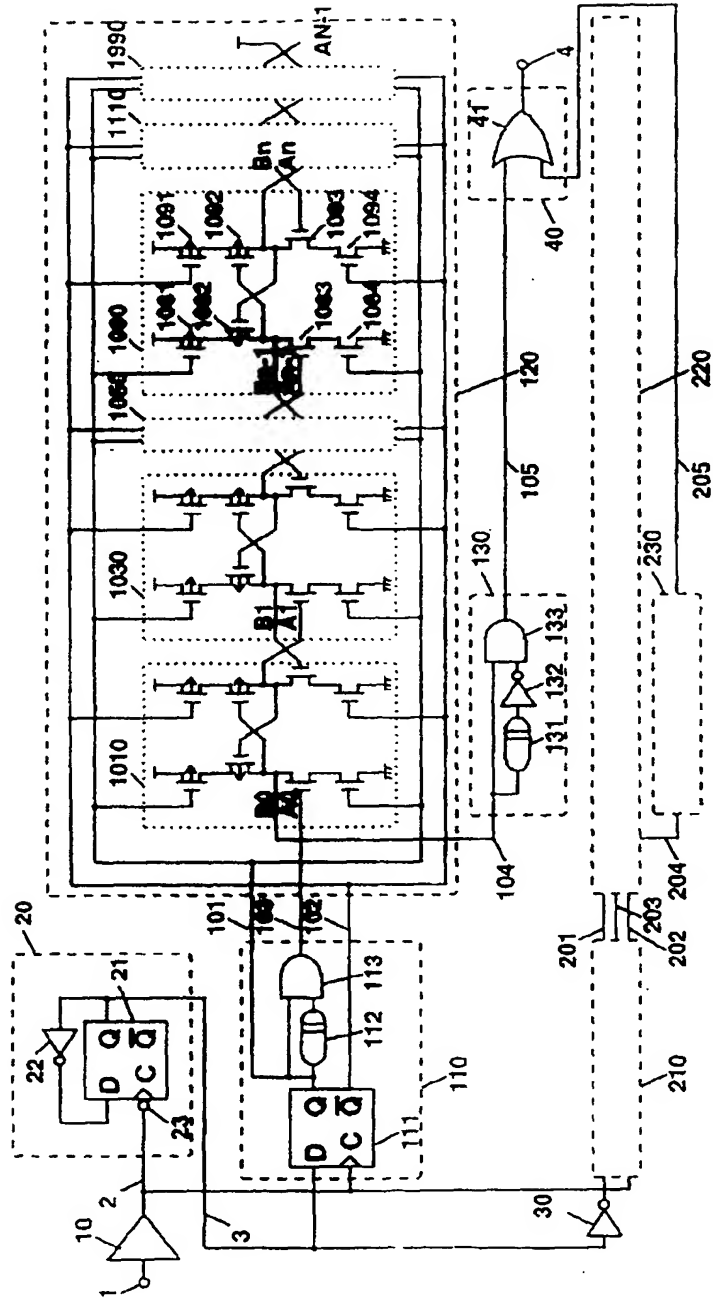
5303 アドレス・制御信号群  
 5304, 5305, 5306, 5307 データ信号群  
 5308 クロック信号発生装置  
 5309 システム  
 5310, 5320, 5330, 5340 メモリモジュール  
 5311, 5312, 5313, 5314, 5321, 5322, 5323, 5324, 5331, 5332, 5333, 5334, 5341, 5342, 5343, 5344 本発明による半導体集積回路  
 5315, 5316, 5317, 5318, 5325, 5326, 5327, 5328, 5335, 5336, 5337, 5338, 5345, 5346, 5347, 5348 同期式DRAM  
 A0, A1, ..., An-1, An, ..., AN-1, B0, B1, ..., Bn-1, Bn, ..., BN-1 遅延回路列内部信号  
 CLK クロック入力信号  
 Com 命令入力信号  
 Add アドレス入力信号  
 DQ データ入出力信号  
 WRITE データ入力命令  
 READ データ出力命令  
 NOP ノーオペレーション  
 D1, D2, D3, D4 入力データ  
 Q1, Q2, Q3, Q4 出力データ  
 A1 先頭アドレス  
 DI1, ..., DI n-1, DI n, DI n+1, ..., インバータ  
 DN1, ..., DN n-1, DN n, DN n+1, ..., DNN, DS1, ..., DS n-1, DS n, DS n+1, ..., DSN NAND素子  
 N1, ..., N n-1, N n, N n+1, ..., NN, P1, ..., P n-1, P n, P n+1, ..., PN 内部節点  
 FI1, FI2, ..., FI n, FI n+1, ..., FIN, RI1, RI2, ..., RI n, RI n+1, ..., インバータ  
 CN1, CN2, ..., CN n-1, CN n, CN n+1, ..., CNN, FN1, FN2, FN3, ..., FN n, FN n+1, FN n+2, ..., GN1, GN2, ..., GN n-1, GN n, GN n+1, GN n+2, ..., RN1, RN2, ..., RN n-1, RN n, RN n+1, RN n+2, ..., RNN NAND素子  
 24, 29 極性制御回路  
 25, 26 リセット付フリップフロップ  
 91 セット付フリップフロップ

27, 92 インバータ  
 28 リセット信号  
 32~38 極性制御信号  
 44, 46 OR回路  
 75 TxClk-データコントロール信号最小出力時間  
 76 TxClk-データコントロール信号最大出力時間  
 80 テスト回路  
 81 フリップフロップ回路  
 82 遅延回路  
 83 可変遅延回路  
 84 テストモード設定信号  
 85 内部信号  
 86 判定信号  
 140, 240 AND回路  
 151, 152, 251, 252, 351, 352, 451, 452, 501, 502, 551, 552, 601, 602, 701, 702, 801, 802 遅延回路制御信号  
 153, 253, 353, 453, 503, 553, 603, 703, 803 遅延回路列入力信号  
 154, 254, 354, 454, 504, 554, 604, 704, 804 遅延回路列出力信号  
 155, 255, 355, 455, 505, 555, 605, 705, 805 パルス生成回路出力信号  
 160, 260, 360, 460, 510, 560, 610, 710, 810 制御回路  
 170, 270, 370, 470, 520, 570, 620, 720, 820 遅延回路列  
 180, 280, 380, 480, 530, 580, 630, 730, 830 パルス生成回路  
 5010, 5020, 5090, 5100, 5990, 7010, 7020, 7090, 7100, 7990 遅延回路  
 6001 トランジスタ  
 6002 容量素子  
 6003, 6004, 6005, 6006, 6007, 6008 信号  
 6009 遅延調整回路  
 6010 設定信号  
 6011, 6012, 6013, 6014 ヒューズレジスタ  
 6015, 6016, 6017, 6018 ヒューズ  
 6101, 6119 トランジスタ  
 6102, 6120 容量素子  
 6103, 6104, 6105, 6106, 6107, 6108 信号  
 6109 遅延調整回路  
 6110 設定信号

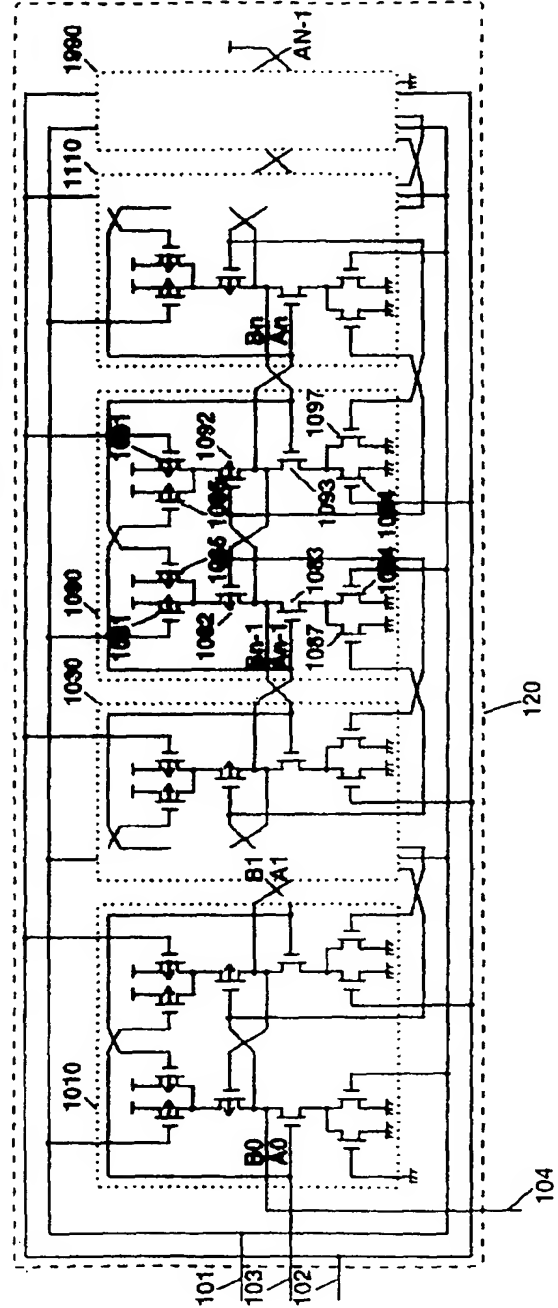
6111, 6112, 6113, 6114 ヒューズ  
レジスタ

6115, 6116, 6117, 6118 ヒューズ

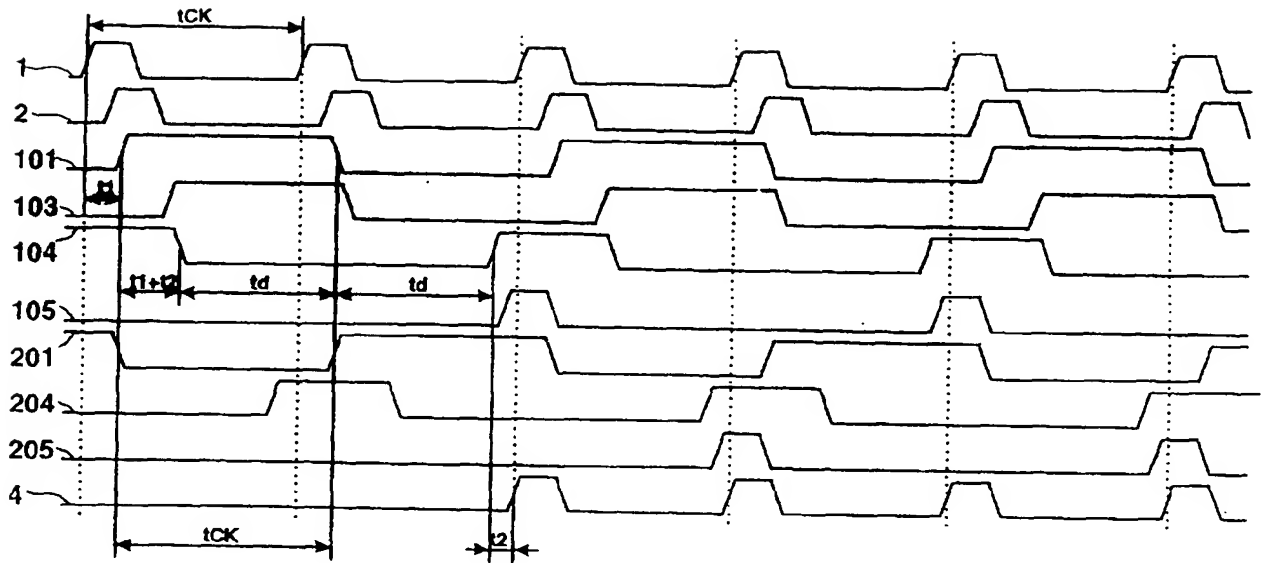
【図1】



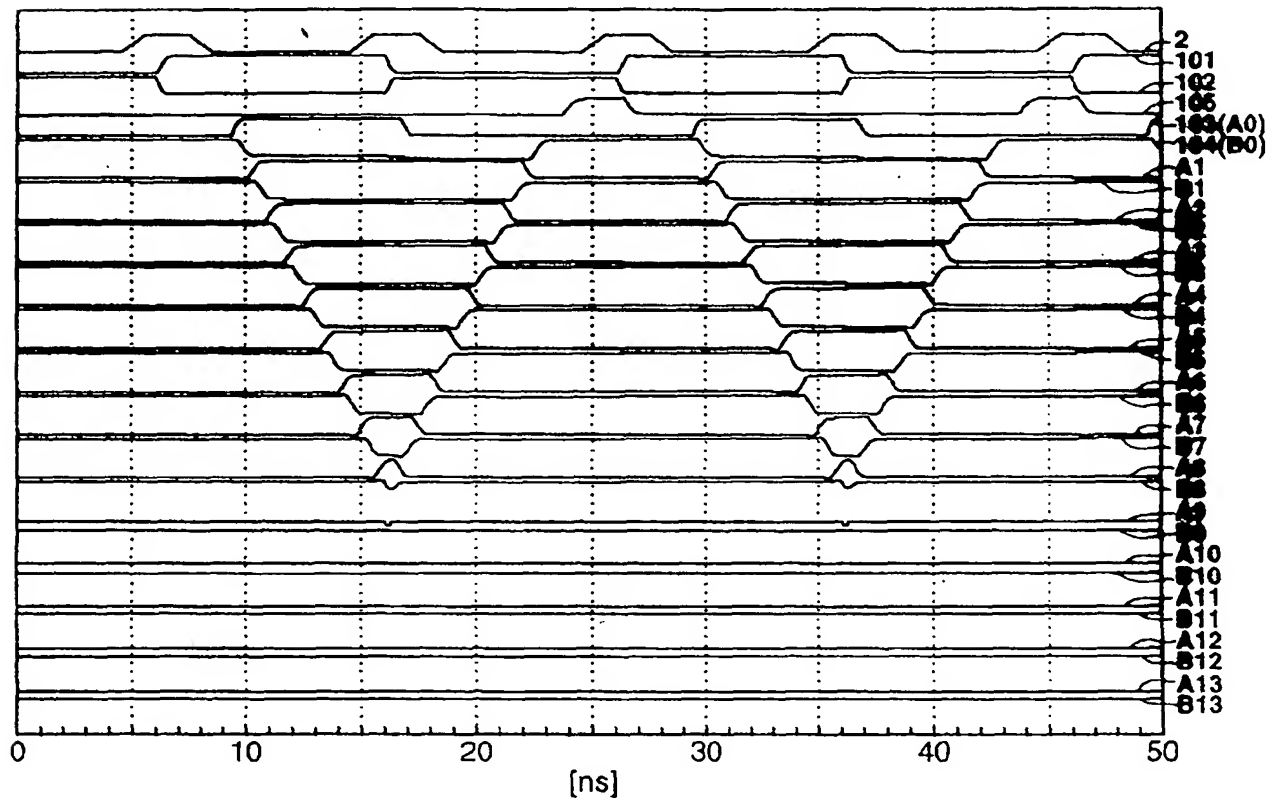
【図8】



【図2】

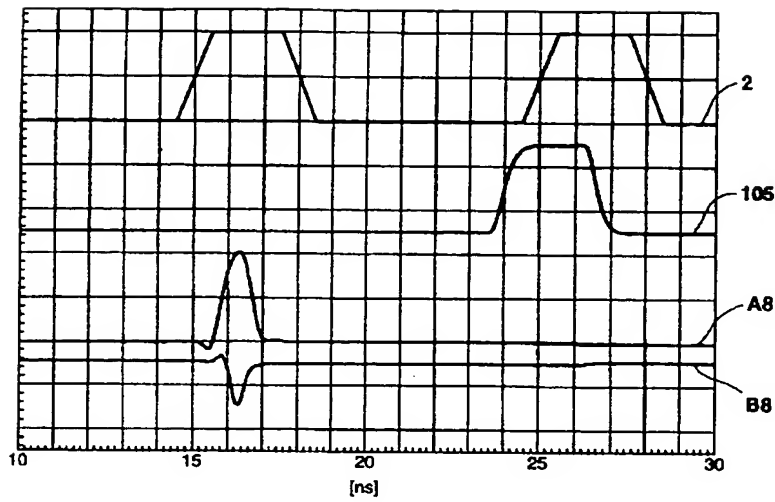


【図3】

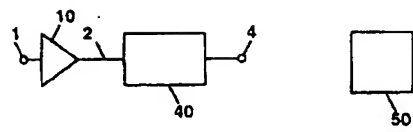




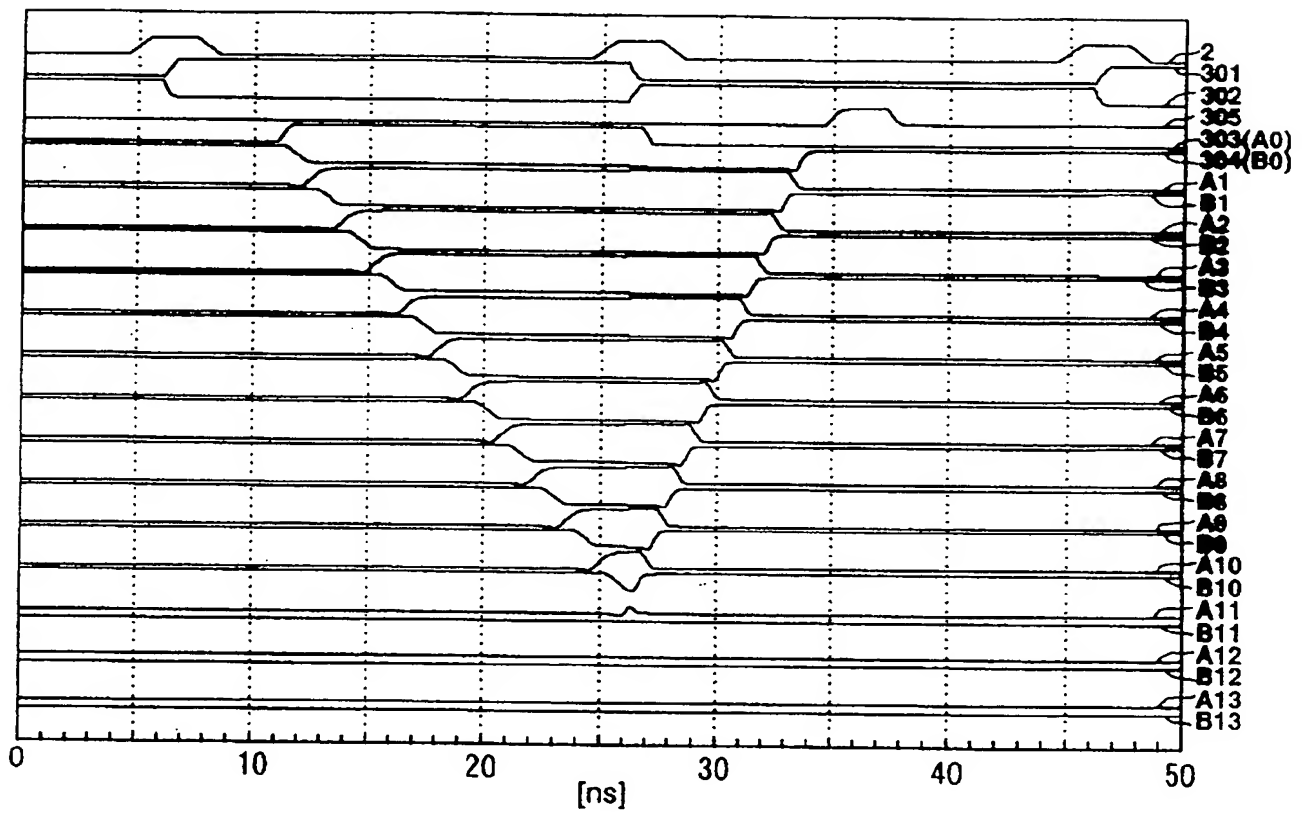
【図 4】



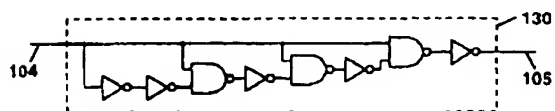
【図 15】



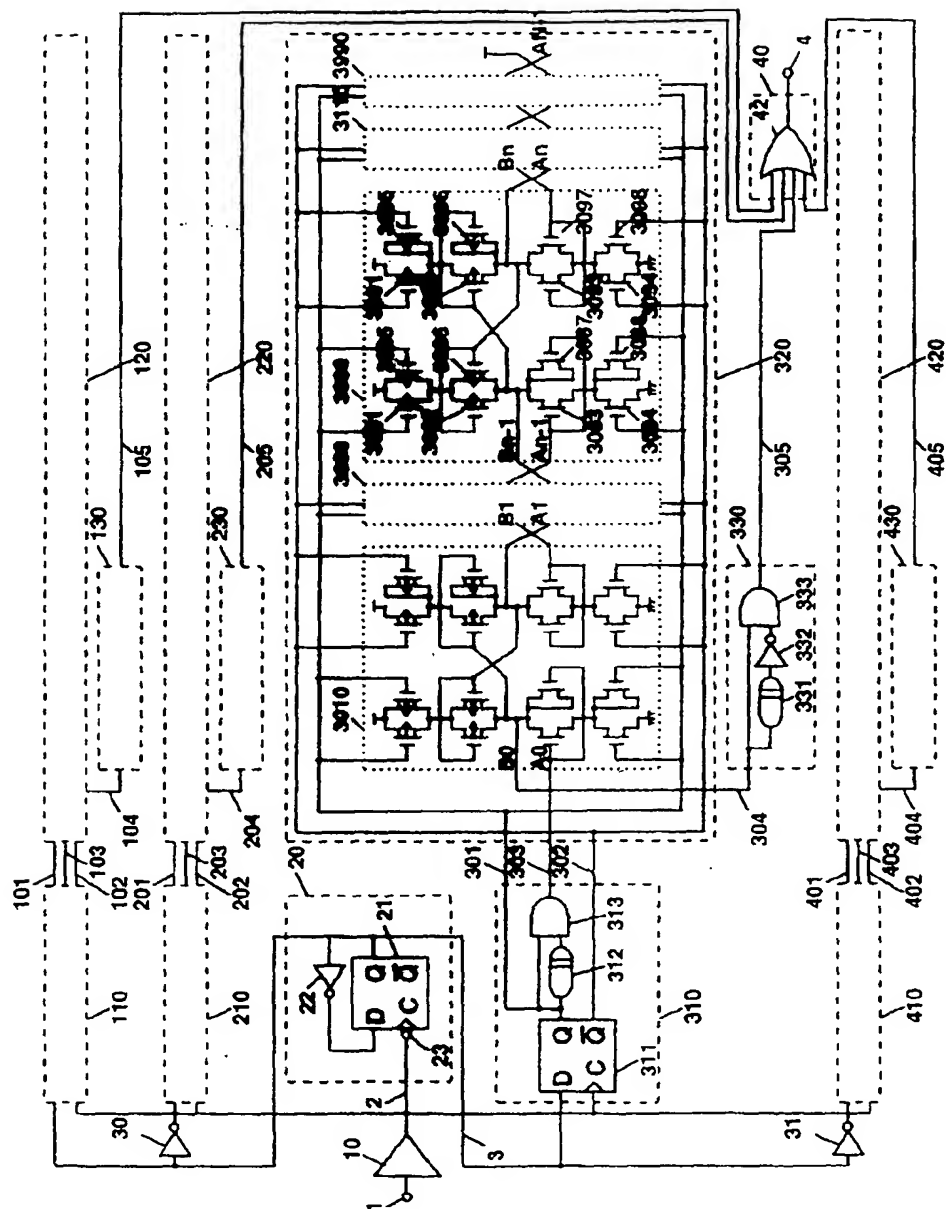
【図 7】



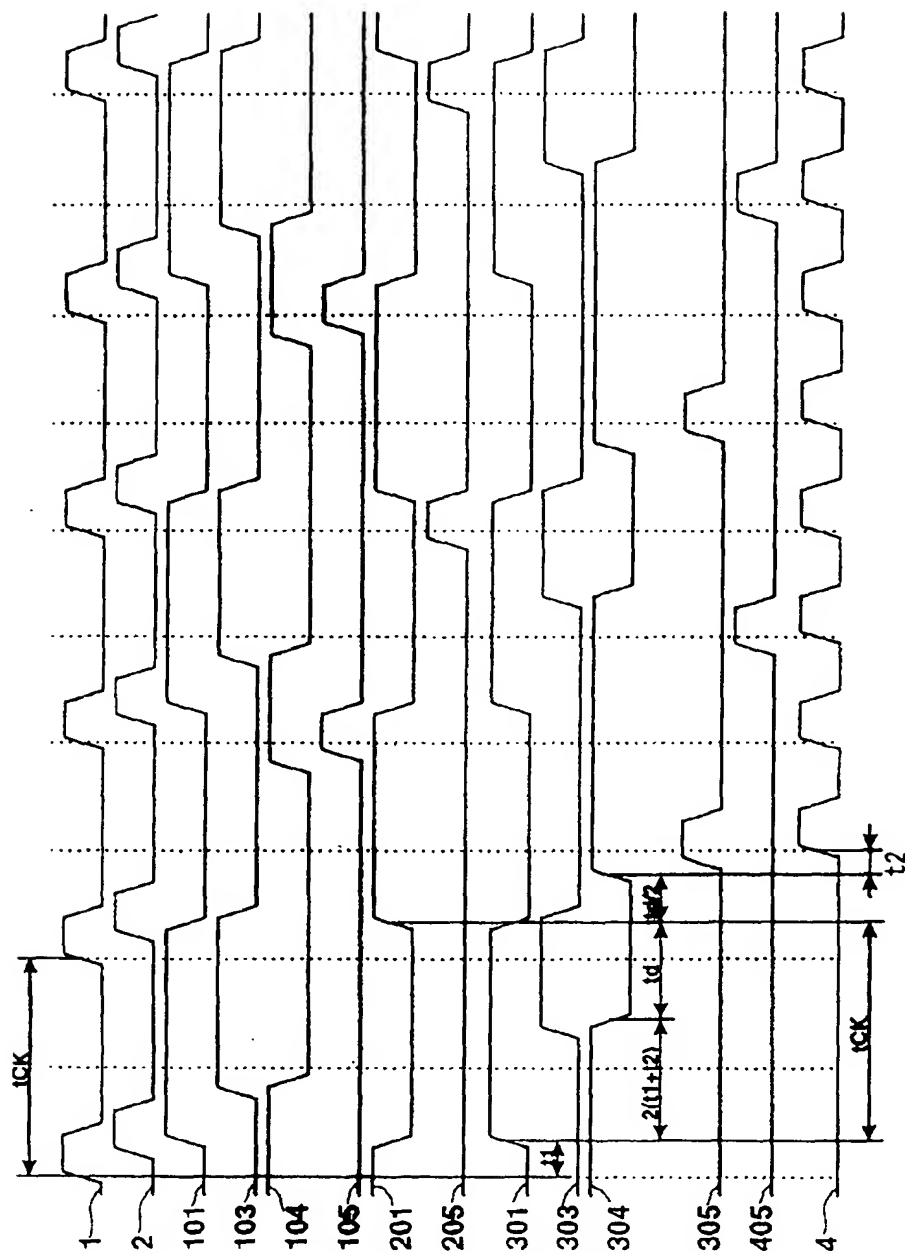
【図 31】



【図 5】



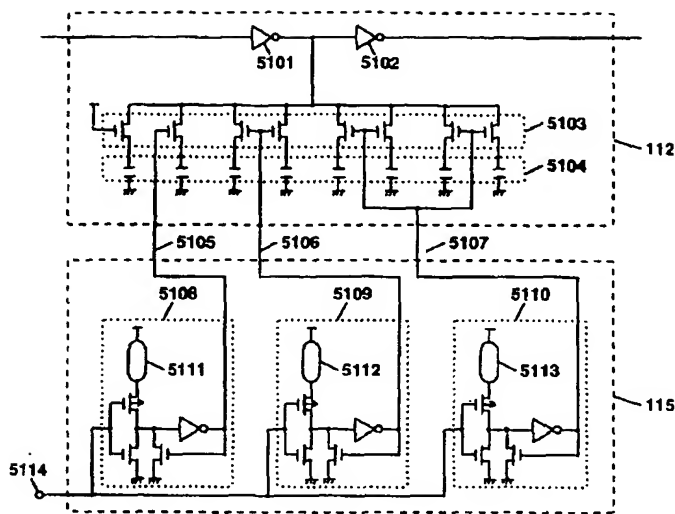
【図 6】



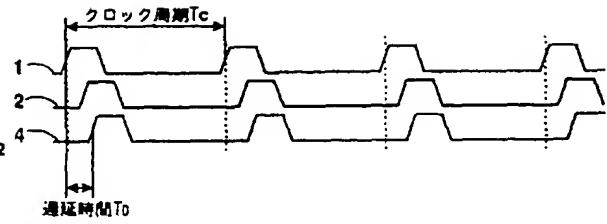




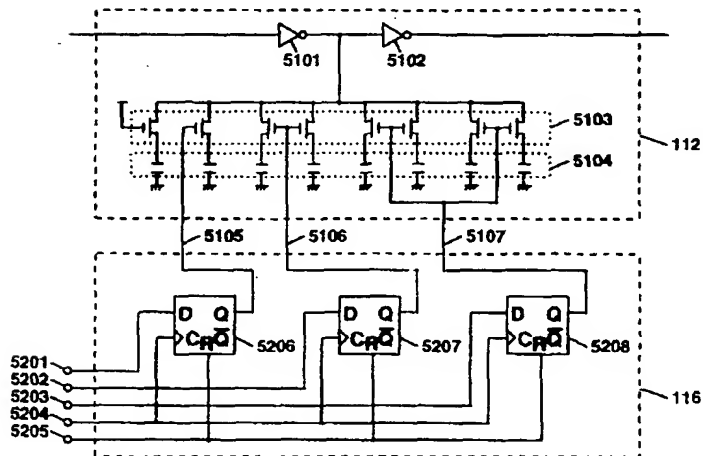
【図 1 1】



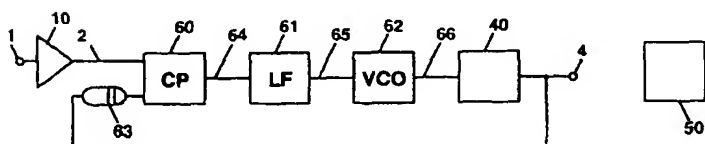
【図 1 6】



【図 1 3】



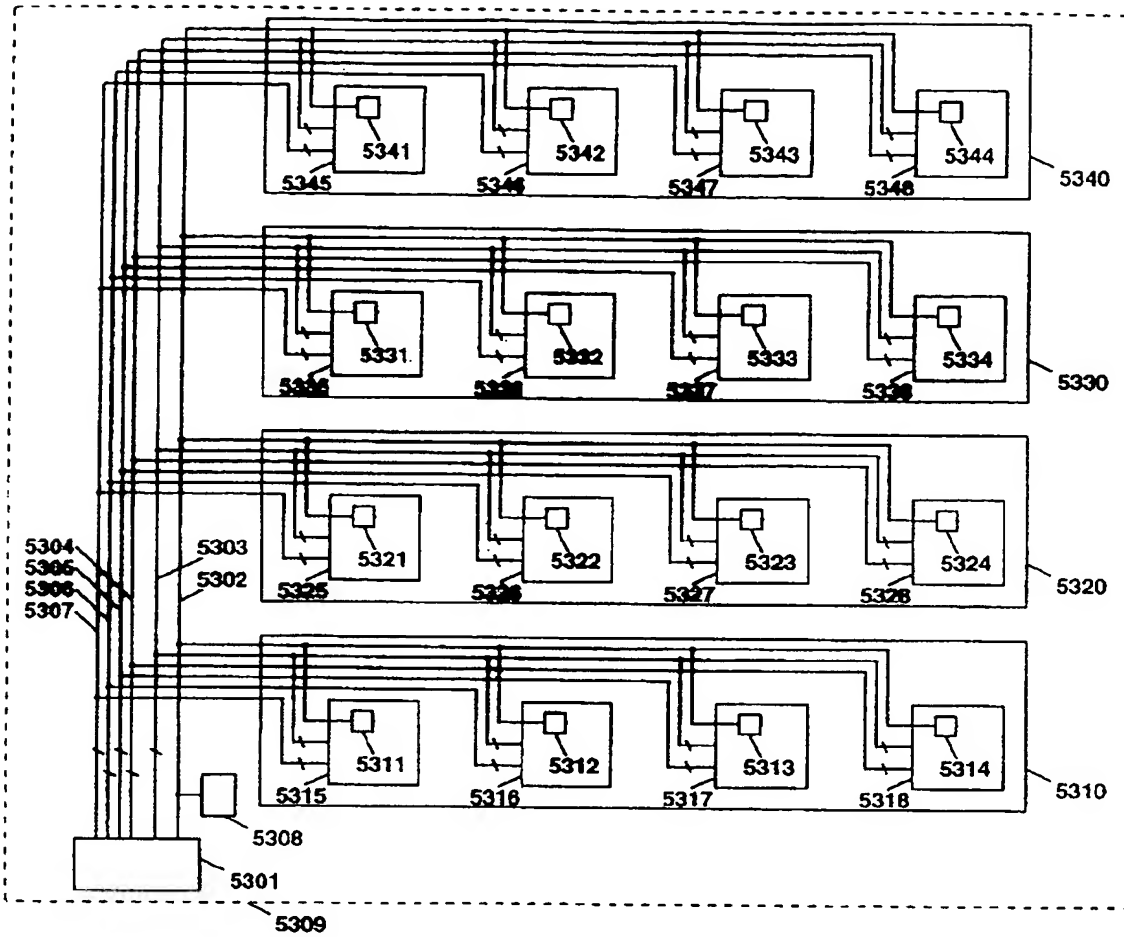
【図 1 7】



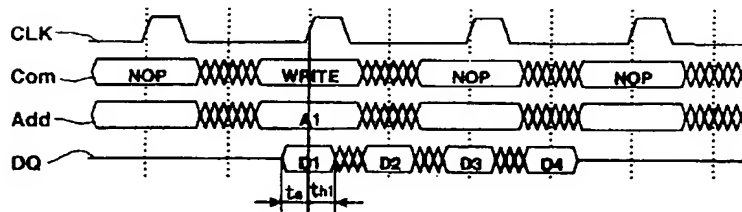




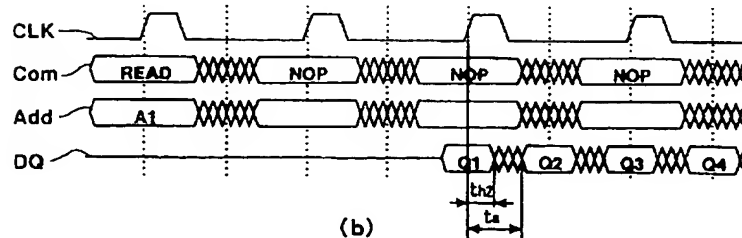
【図14】



【図18】



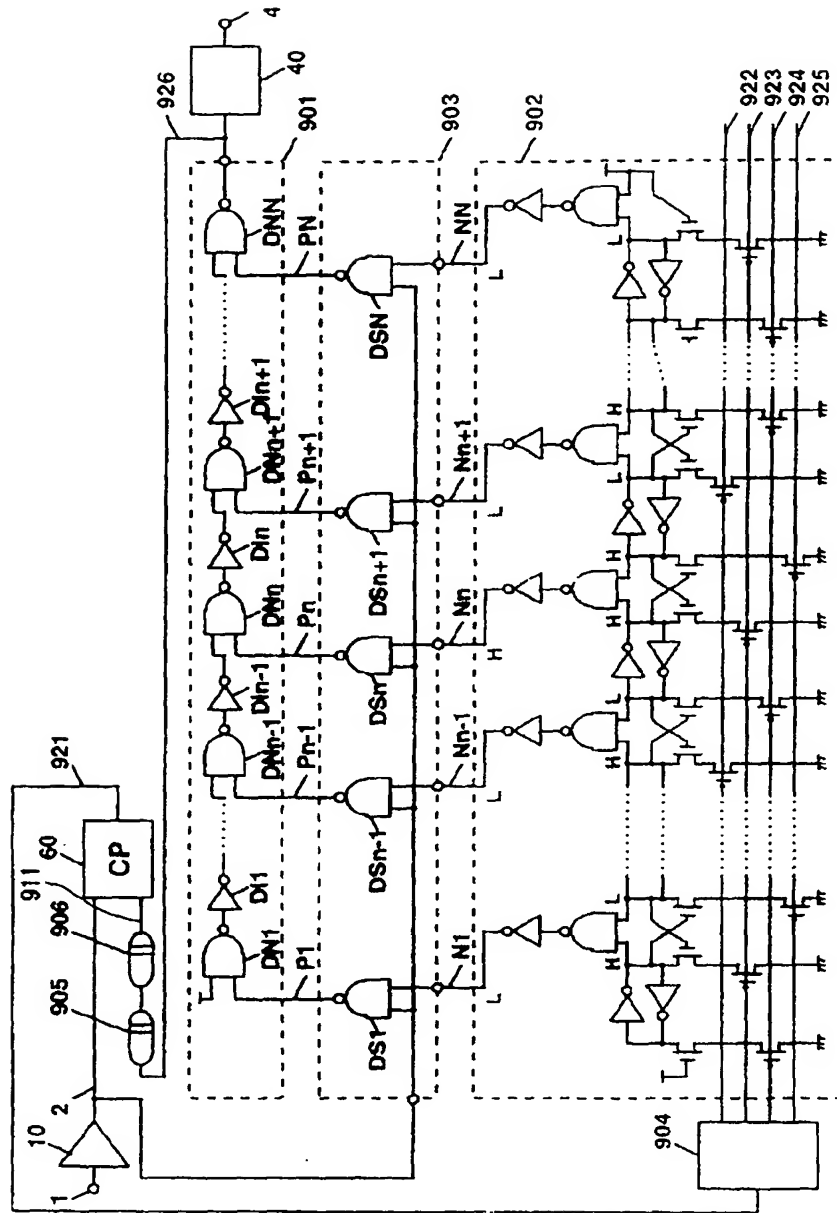
(a)



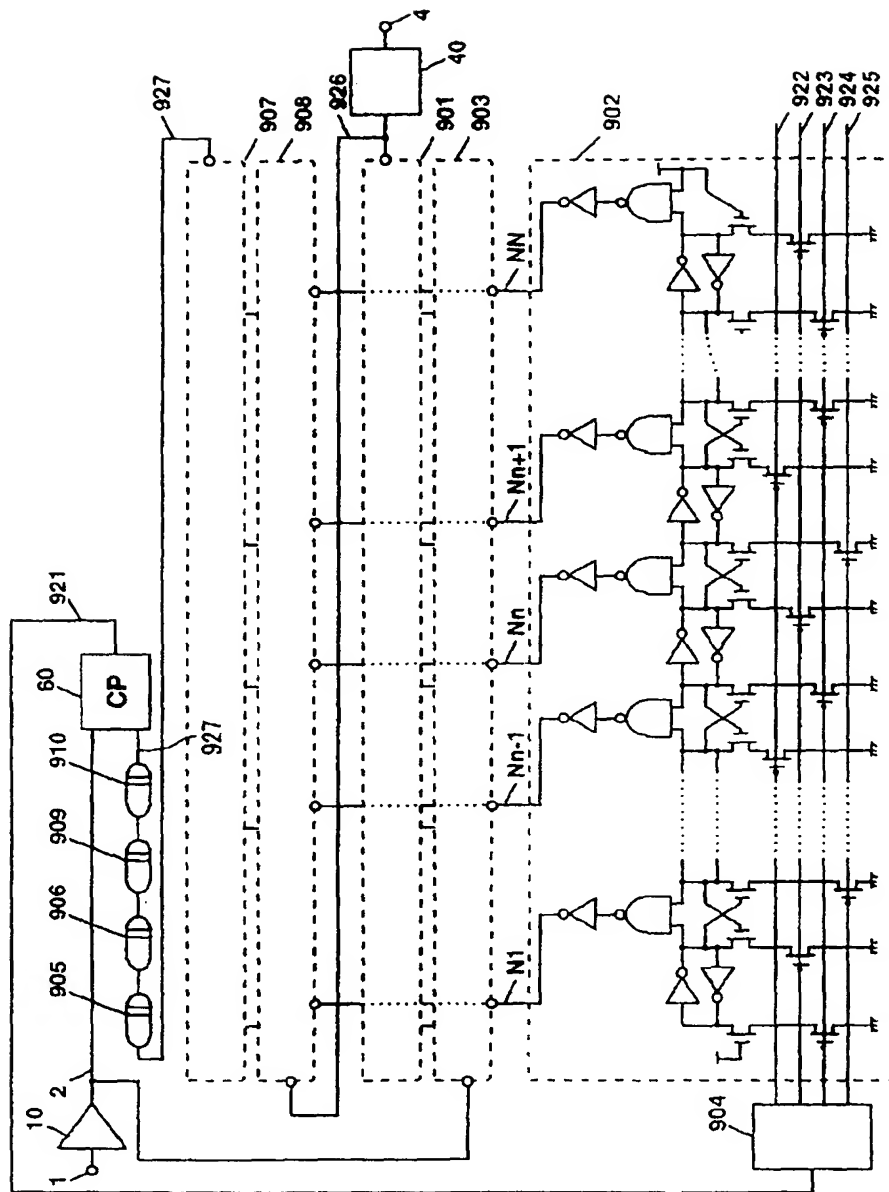
(b)



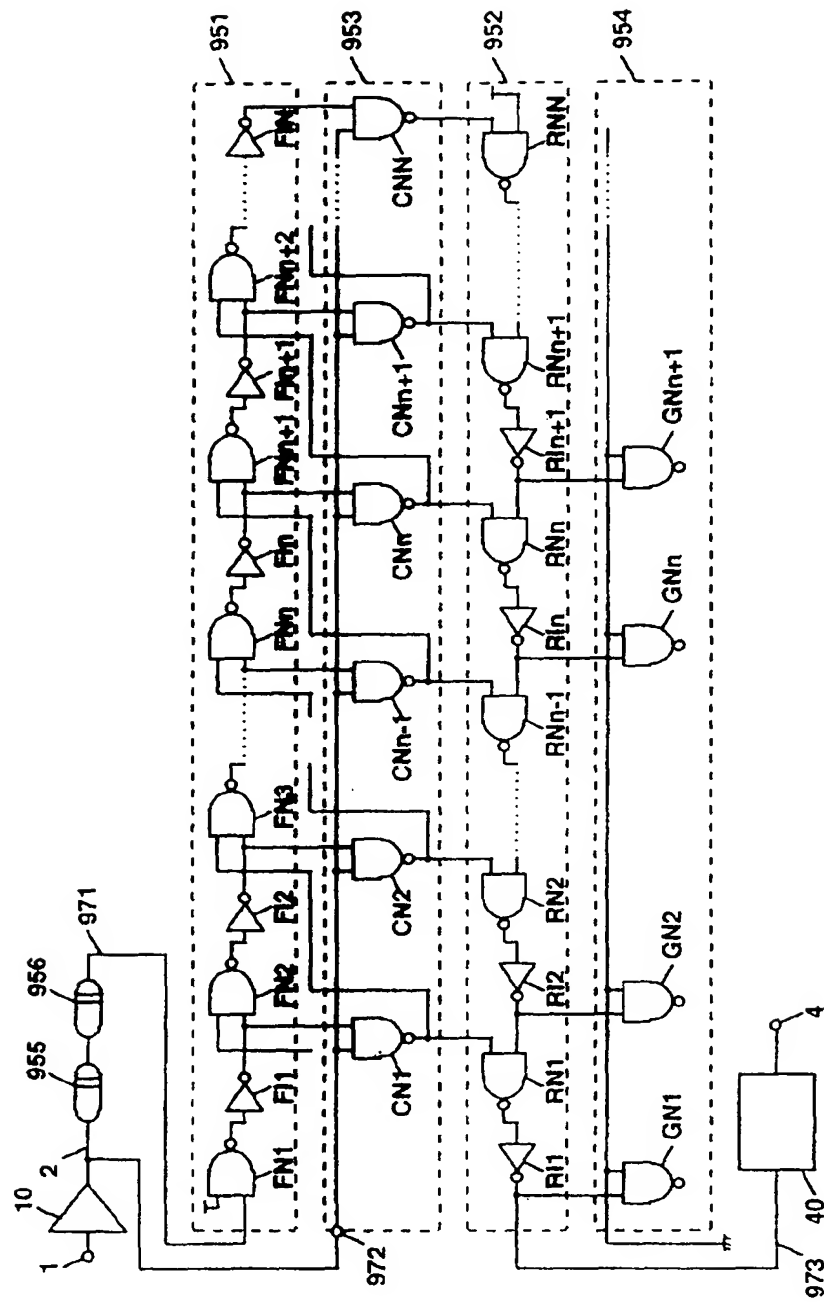
【図 20】



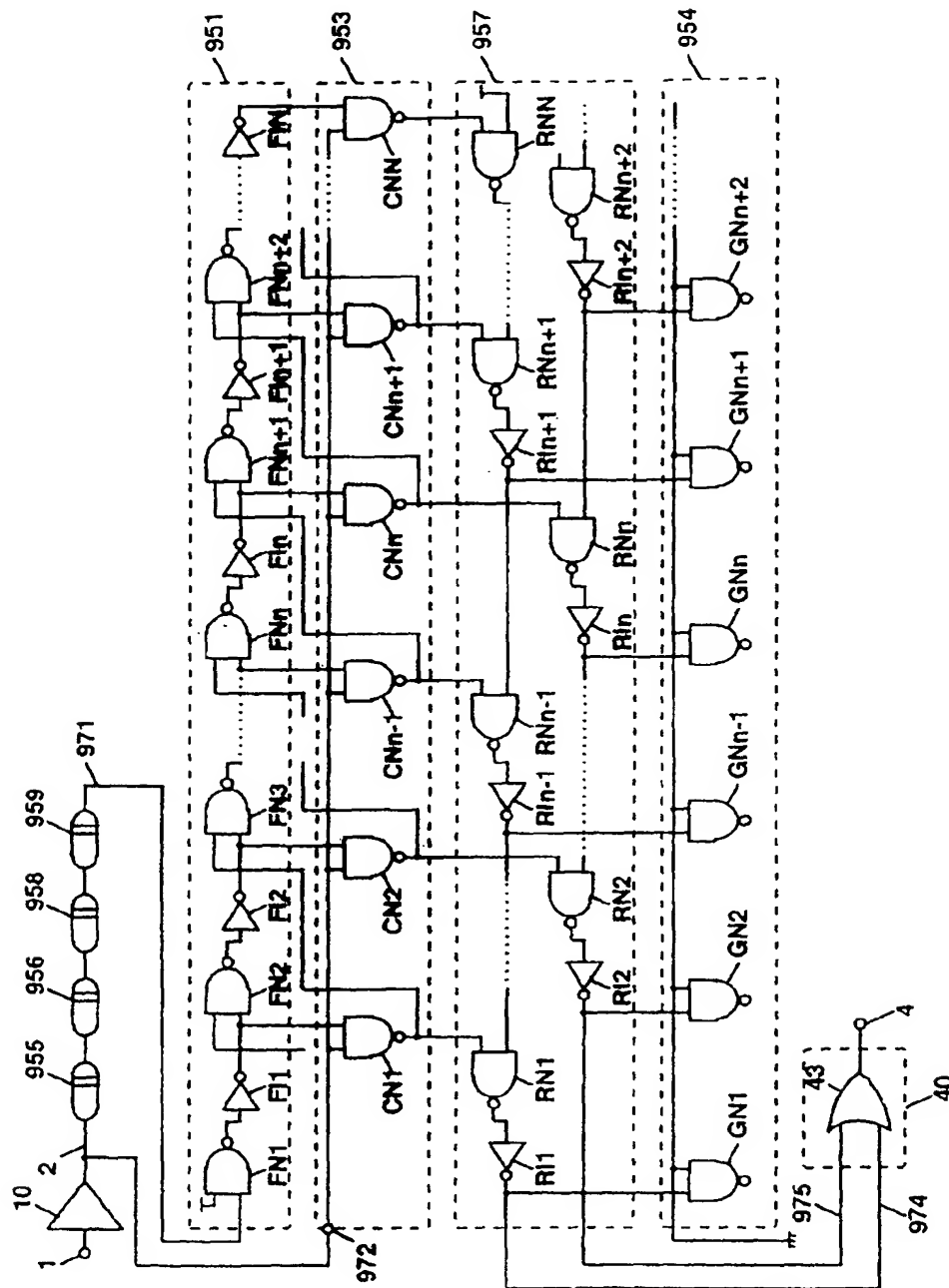
【図 21】



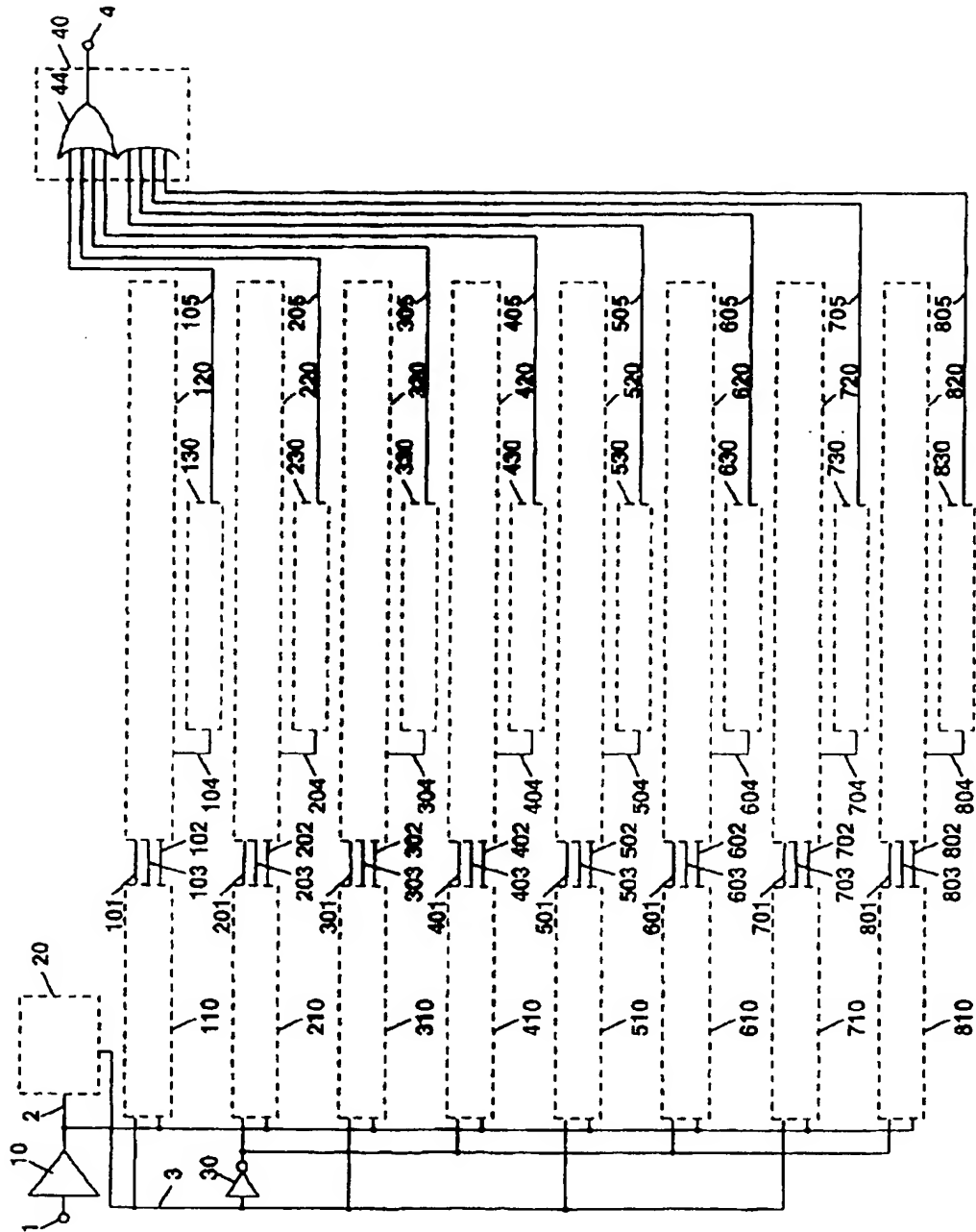
【図 2 2】



【図 2 3】



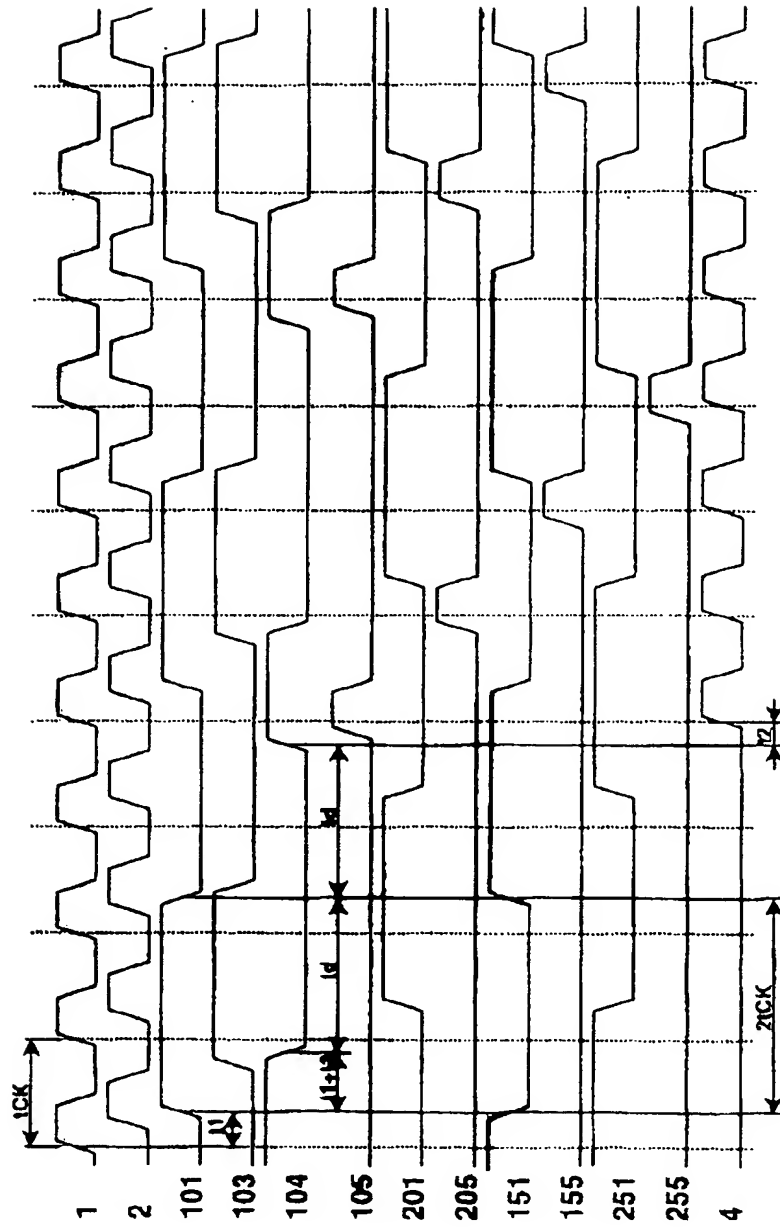
【☒ 25】



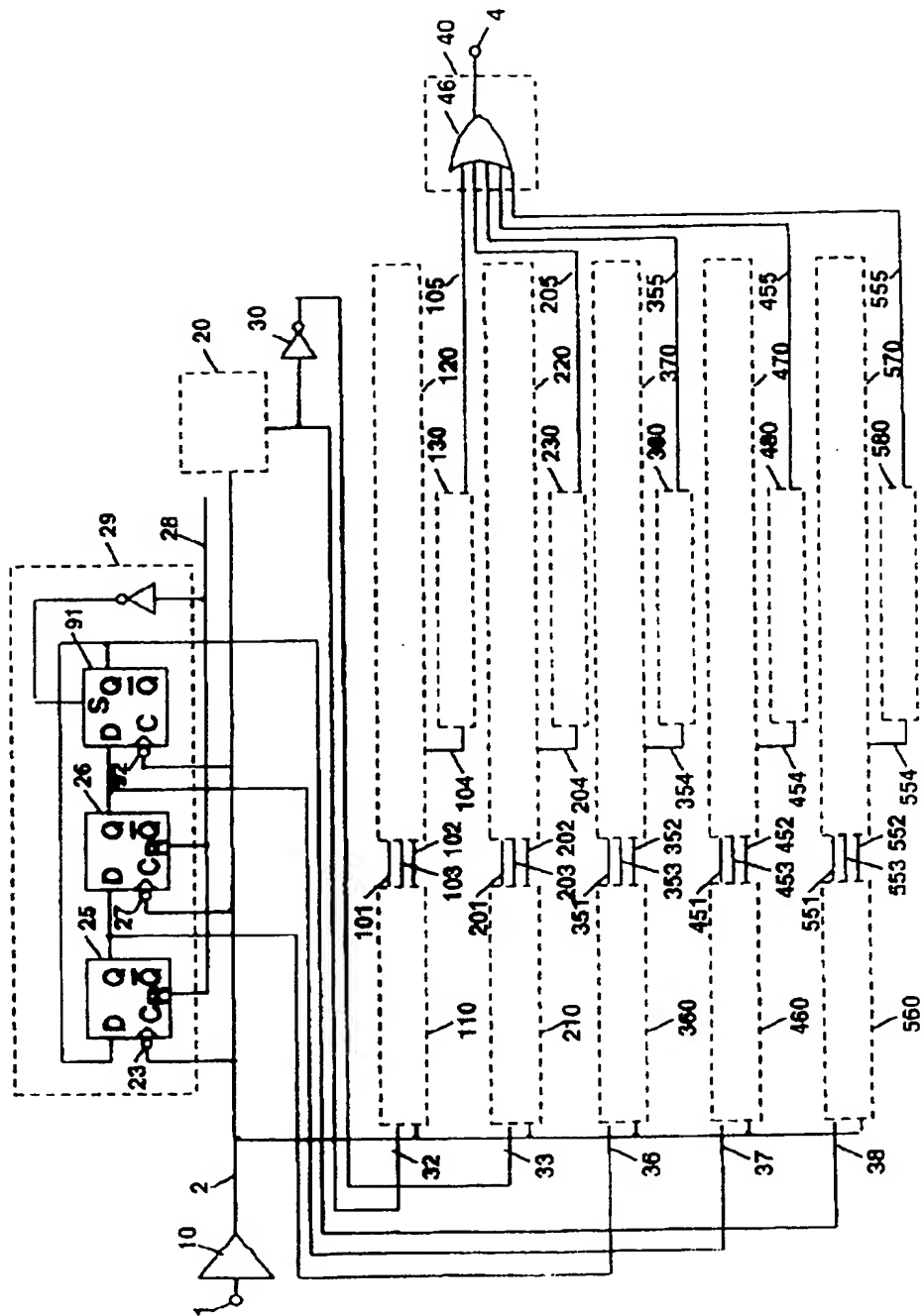




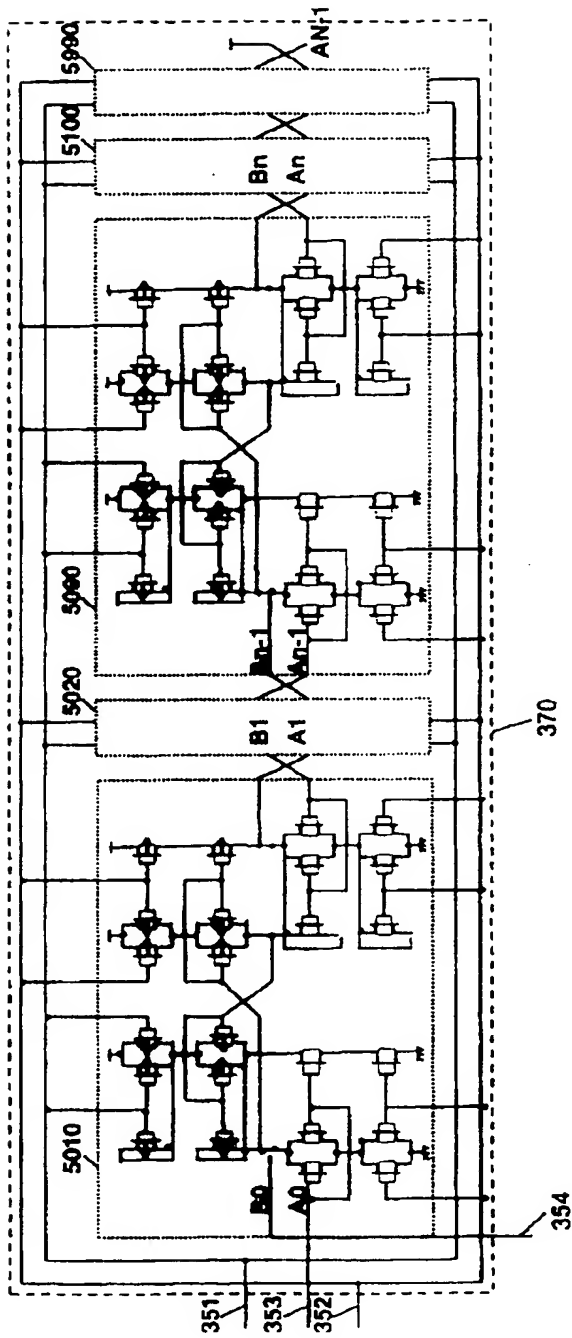
【図 3 0】



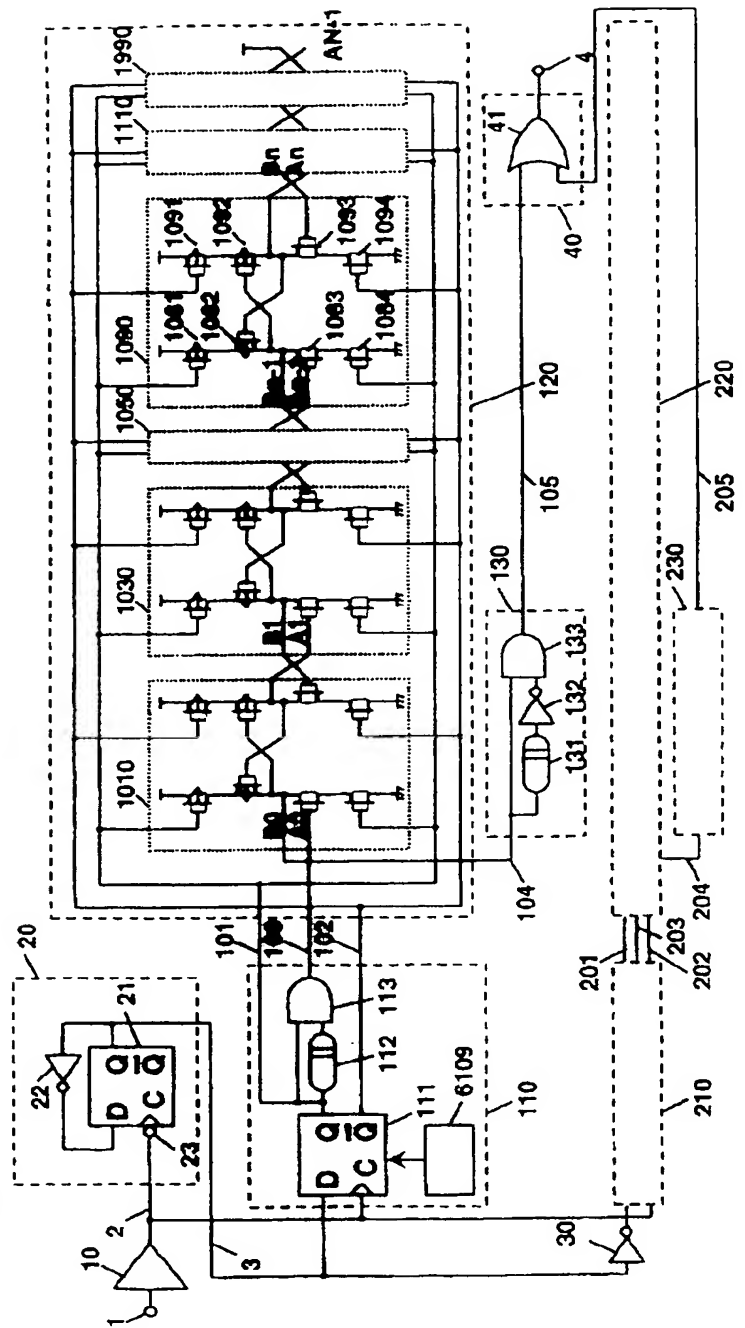
【图 3 2】



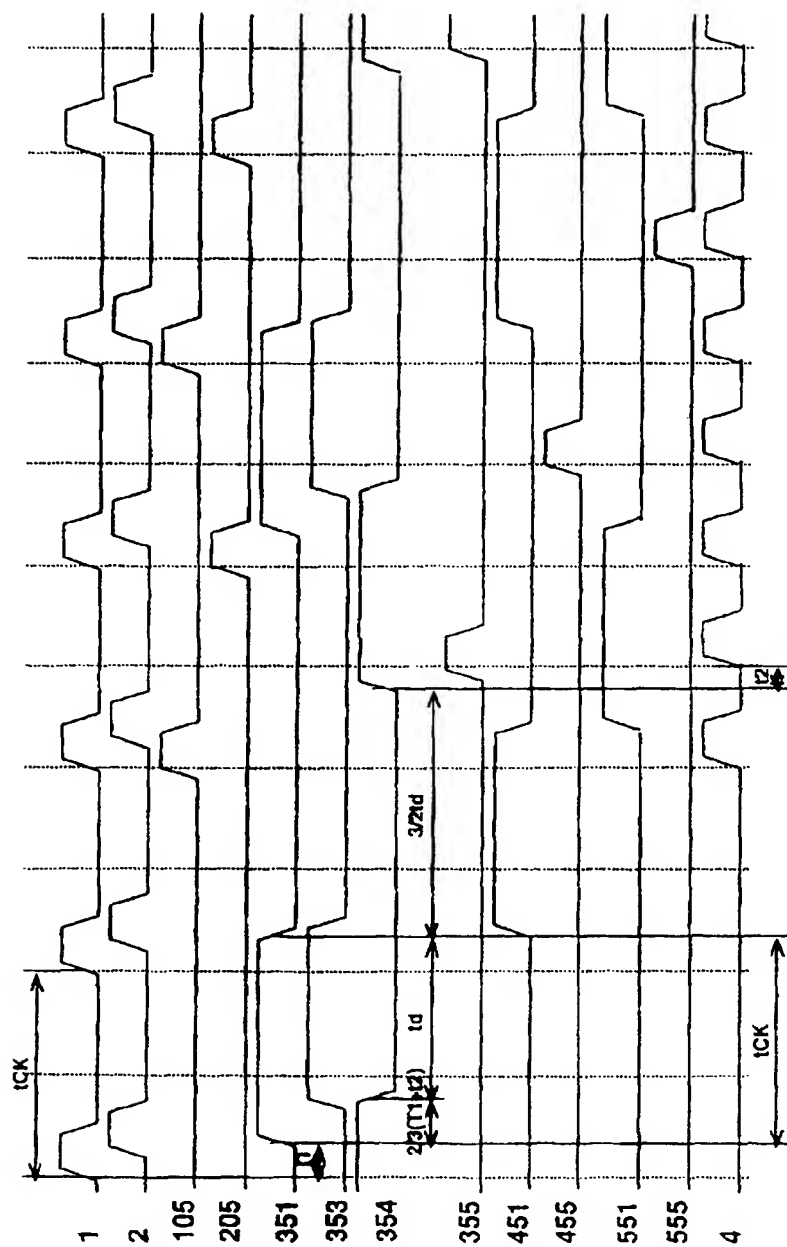
【図 33】



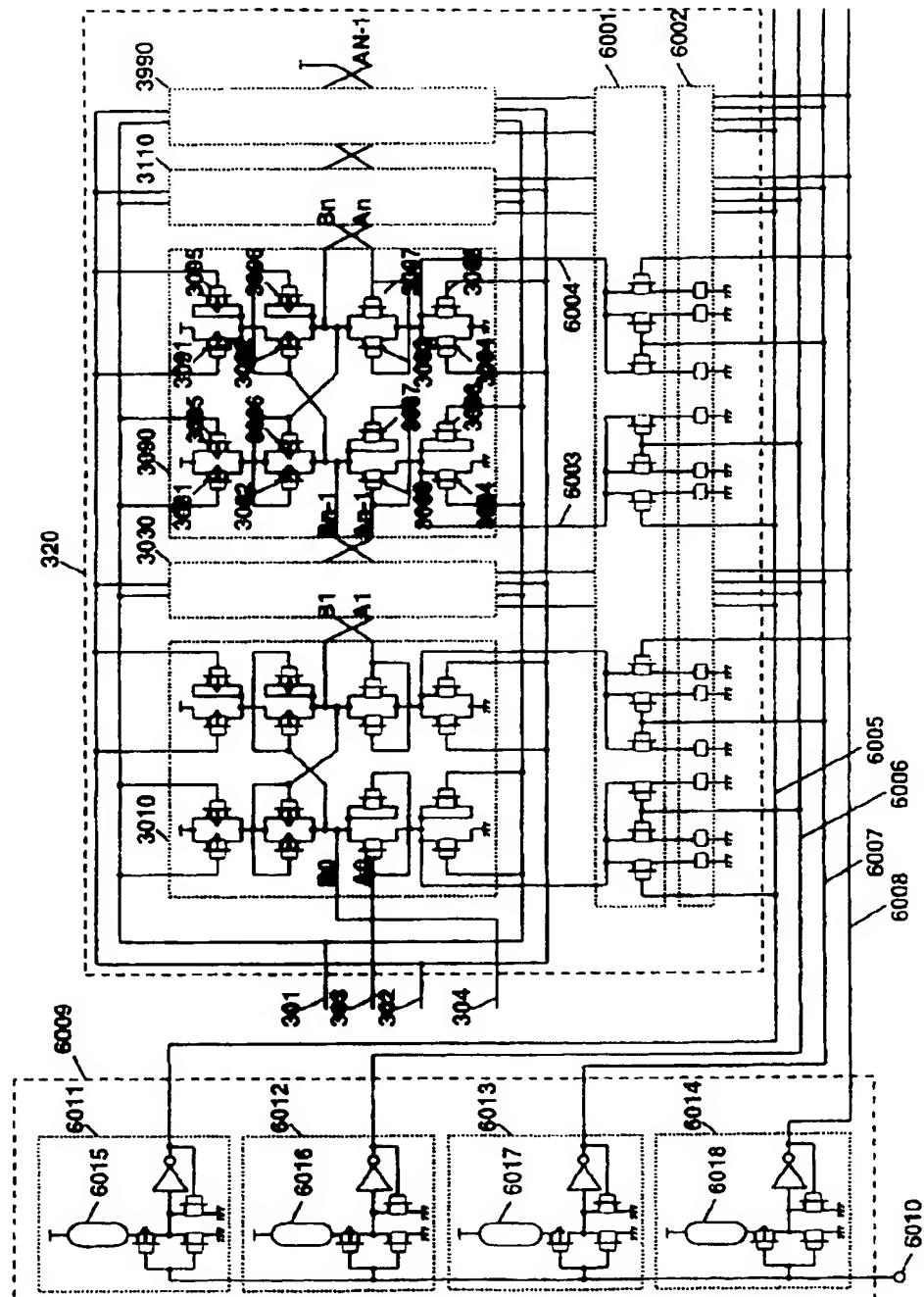
【図 39】



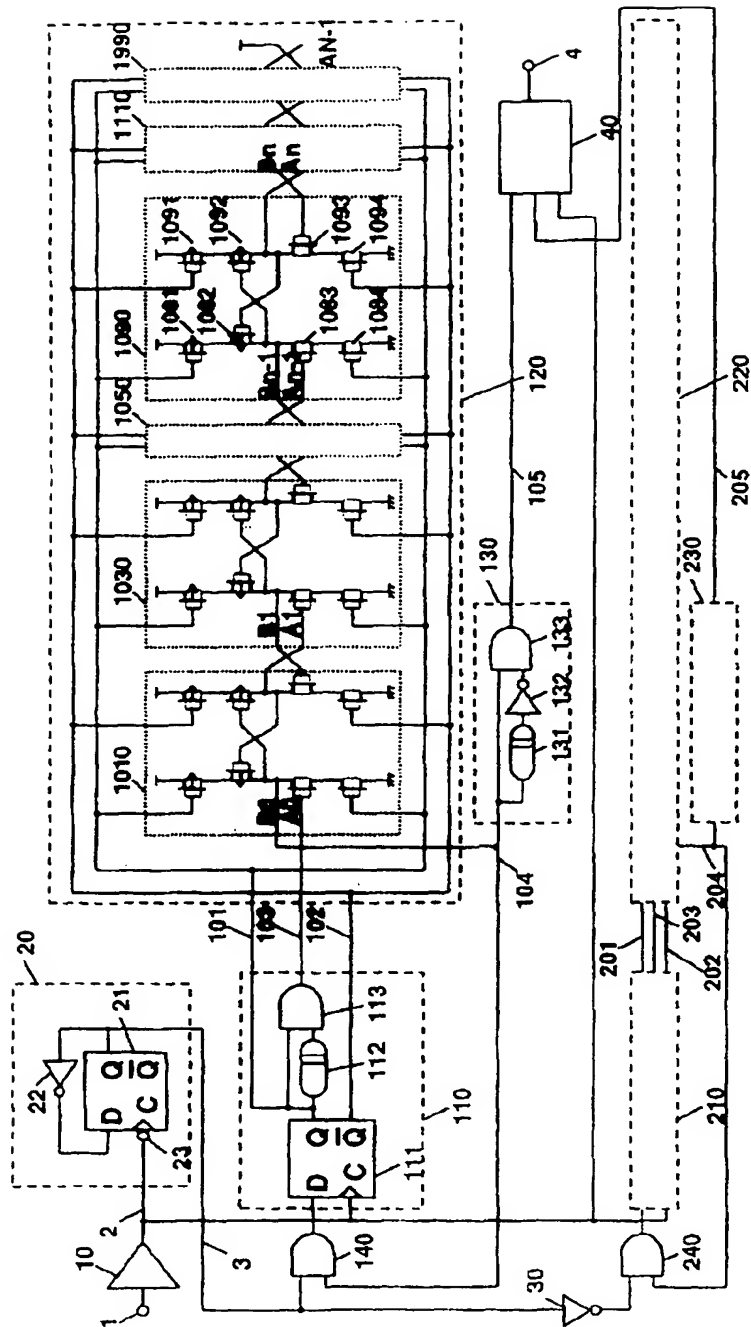
【図 3 4】



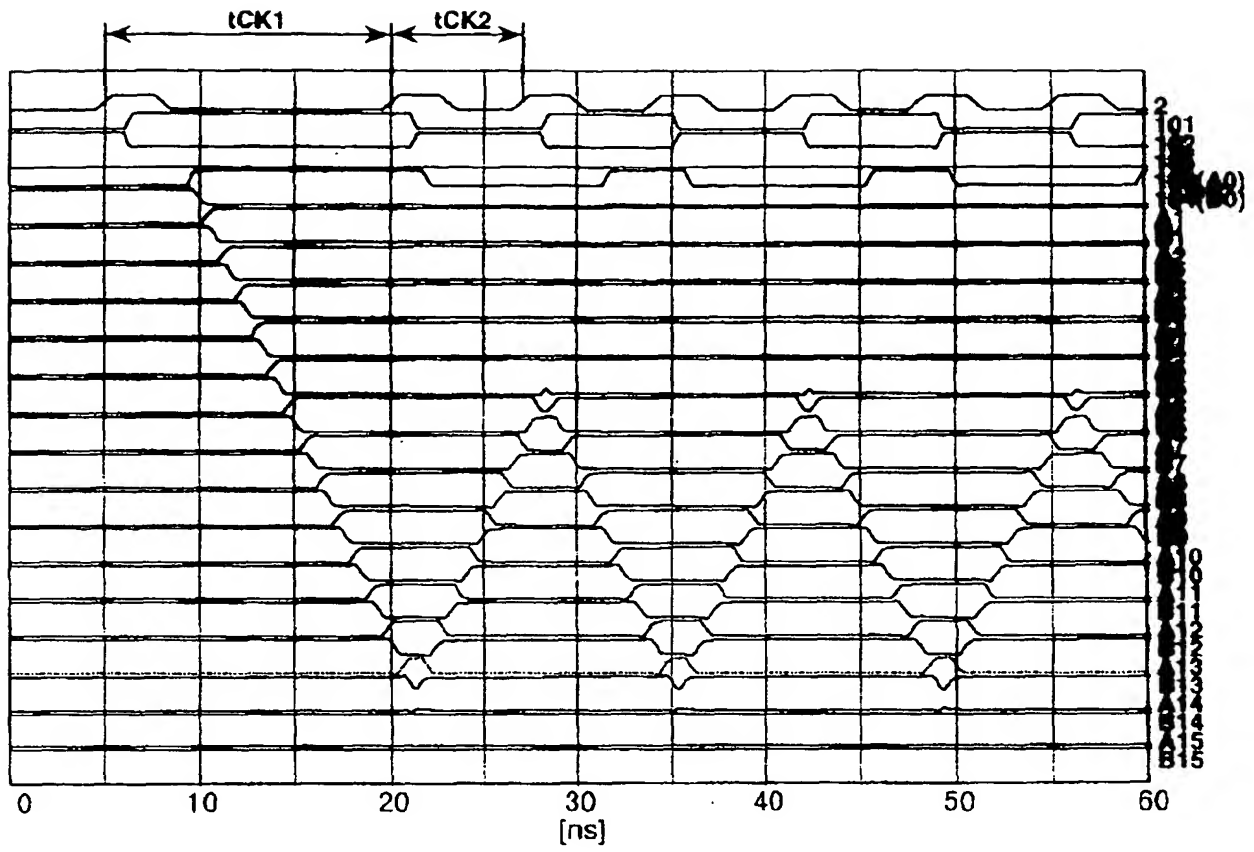
【図 35】



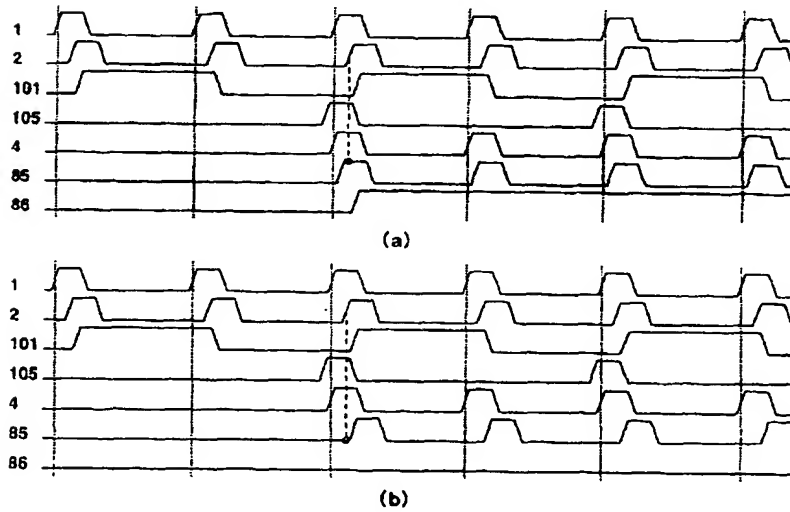
【図 36】



【図37】

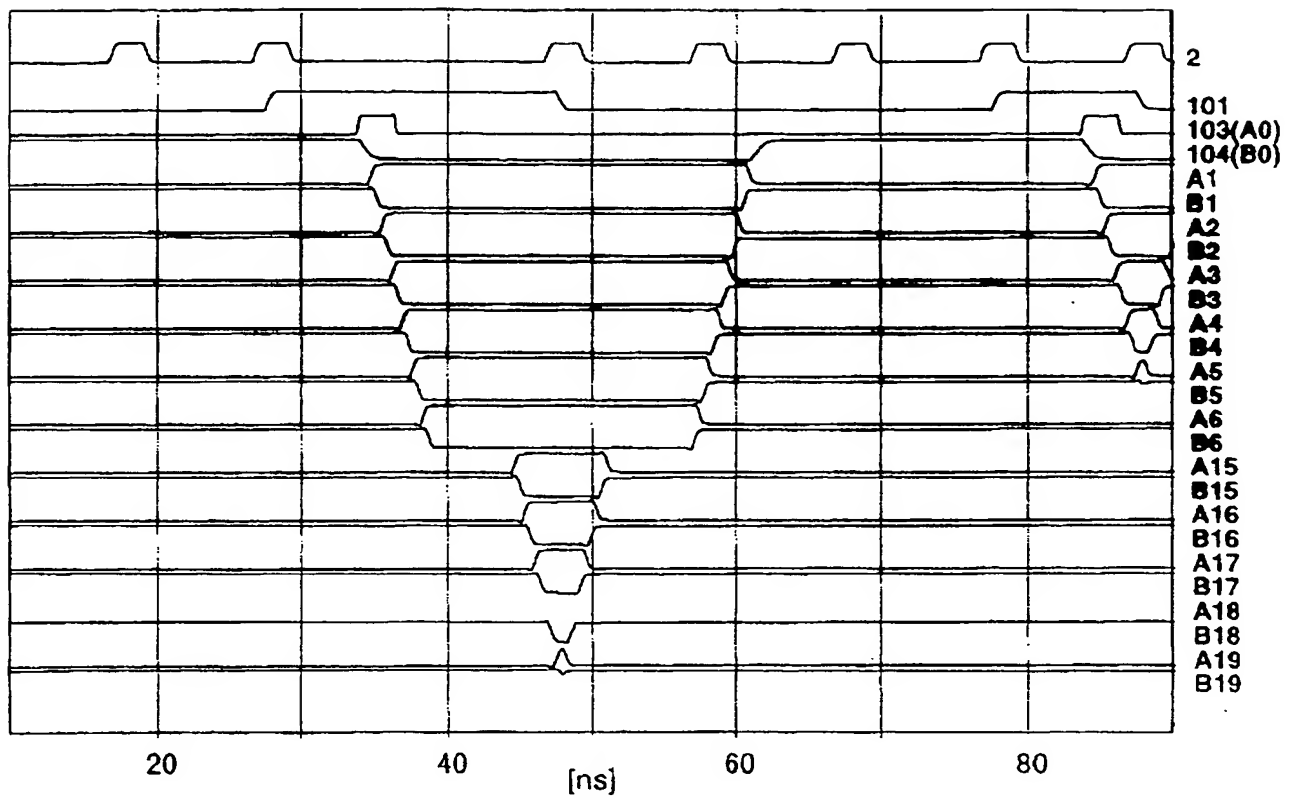


【図42】

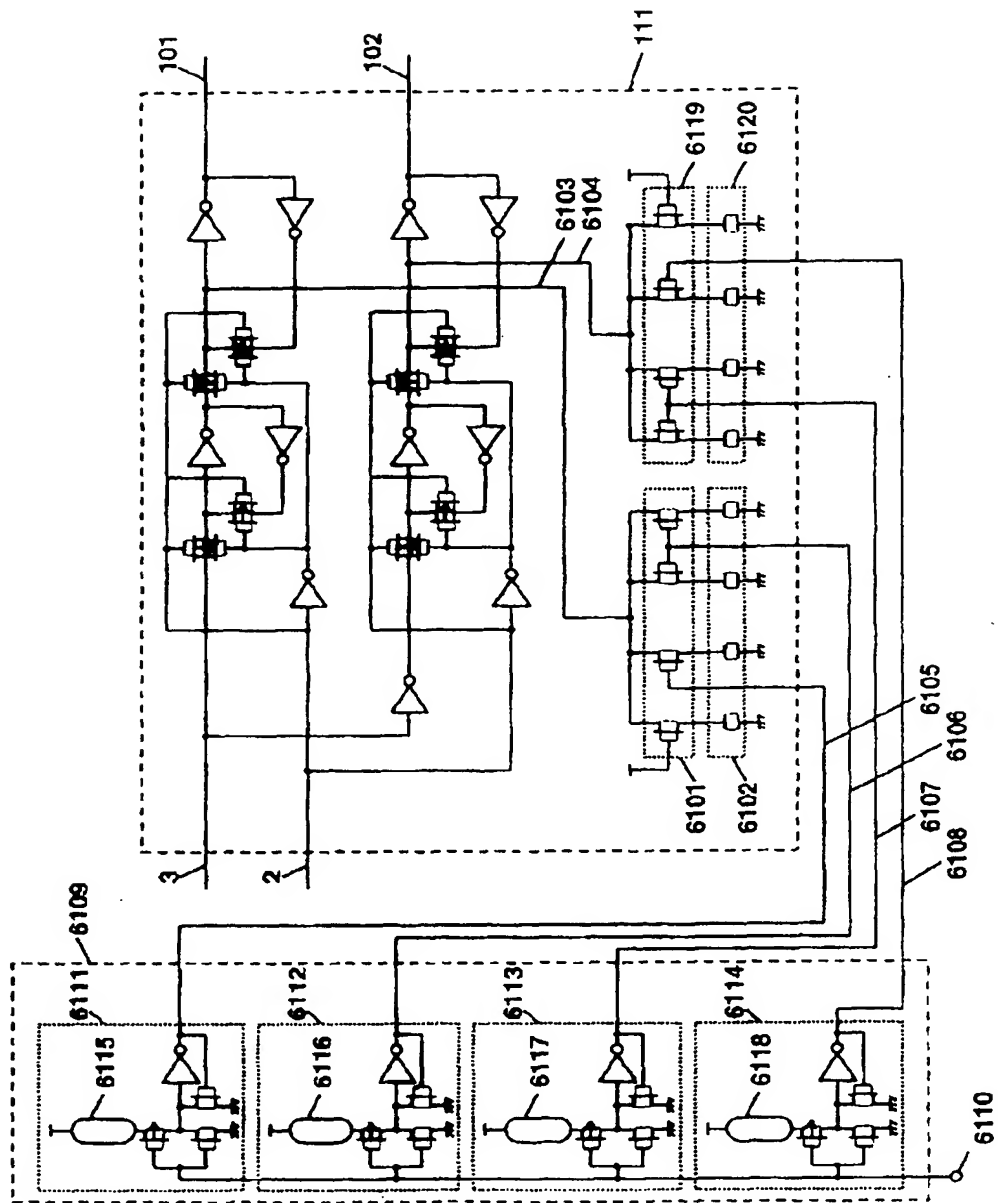




【図 3 8】



【図 40】



【図41】

